



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001013482 A**(43) Date of publication of application: **19.01.01**

(51) Int. Cl.

G02F 1/133
G02F 1/1333
G09F 9/35
G09G 3/20
G09G 3/36

(21) Application number: **2000058724**(71) Applicant: **SHARP CORP**(22) Date of filing: **03.03.00**(72) Inventor: **ITO HIROSHI**(30) Priority: **28.04.99 JP 11123169**

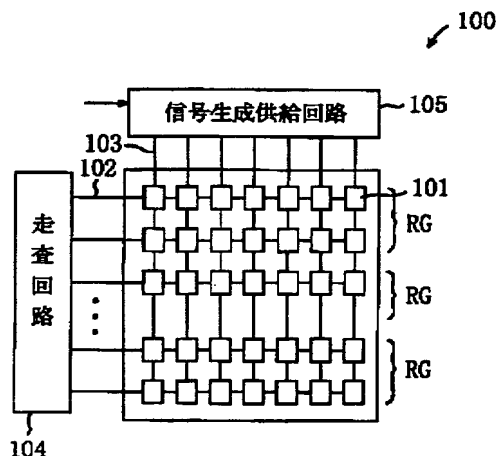
**(54) MATRIX DISPLAY DEVICE AND PLASMA
 ADDRESS DISPLAY DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a matrix display device wherein interference between video data are suppressed.

SOLUTION: An arbitrary 1st pixel in plural pixels 101 of a matrix display device 100 belongs to any one of plural row groups of which each has continuous plural rows. A signal generation-supply circuit 105 contains as variables a 1st video data to be displayed by a 1st pixel, and a 2nd video data to be displayed by a 2nd pixel which belongs to the same row group RG as the 1st pixel, and belongs to the same column as the 1st pixel and belongs to a row different from the 1st pixel, and the circuit corrects the 1st video data based on the predetermined correction function dependent on the relative positional relation between at least the 1st pixel and the 2nd pixel.

COPYRIGHT: (C)2001,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-13482
(P2001-13482A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
		1/1333	
G 0 9 F 9/35		G 0 9 F 9/35	
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 D
	6 4 1		6 4 1 P

審査請求 未請求 請求項の数21 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2000-58724(P2000-58724)

(22) 出願日 平成12年3月3日 (2000.3.3)

(31) 優先権主張番号 特願平11-123169

(32) 優先日 平成11年4月28日 (1999.4.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 伊藤 寛

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100077931

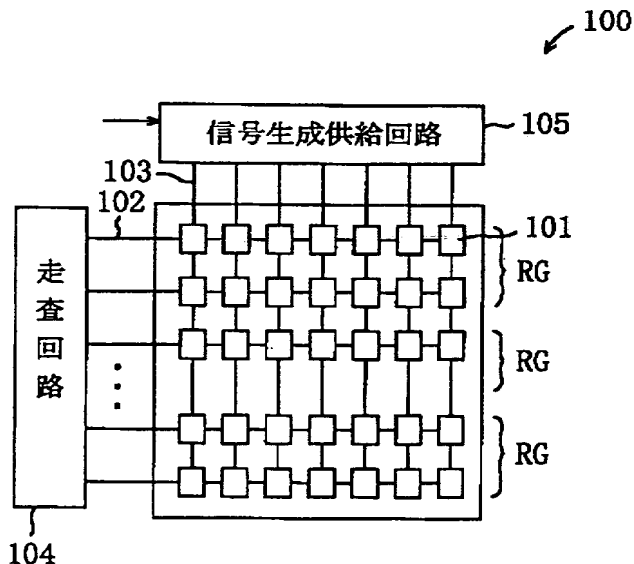
弁理士 前田 弘 (外4名)

(54) 【発明の名称】 マトリクス表示装置およびプラズマアドレス表示装置

(57) 【要約】

【課題】 映像データ間の干渉を抑制したマトリクス表示装置およびプラズマアドレス表示装置を提供する。

【解決手段】 マトリクス表示装置100の複数の画素101の内の任意の第1画素は、連続する複数の行をそれぞれが有する複数の行グループのいずれか1つに属する。信号生成供給回路105は、第1画素が表示すべき第1映像データと、第1画素と同じ行グループRGに属し、第1画素と同じ列に属し、且つ第1画素と異なる行に属する第2画素が表示すべき第2映像データとを変数として含み、少なくとも第1画素と第2画素との相対配置関係に依存する、予め決められた補正関数に基づいて、第1映像データを補正する。



【特許請求の範囲】

【請求項１】 複数の行および複数の列を構成する、マトリクス状に配列された複数の画素と、
前記複数の行にそれぞれ対応して設けられた複数の行選択要素と、
前記複数の列にそれぞれ対応して設けられた複数の映像信号供給要素と、
前記複数の行選択要素のそれぞれに、走査信号を順次供給し、前記複数の画素を前記複数の行ごとに線順次走査する走査回路と、
前記複数の映像信号供給要素のそれぞれに、前記線順次走査と同期して、表示すべき映像データに対応する映像信号を生成、供給する信号生成供給回路とを有するマトリクス型表示装置であって、
前記複数の画素の内の任意の第１画素は、連続する複数の行をそれぞれが有する複数の行グループのいずれか１つに属し、
前記信号生成供給回路は、映像データを受信し、前記第１画素が表示すべき第１映像データと、前記第１画素と同じ行グループに属し、前記第１画素と同じ列に属し、且つ前記第１画素と異なる行に属する第２画素が表示すべき第２映像データとを変数として含み、少なくとも前記第１画素と前記第２画素との相対配置関係に依存する、予め決められた補正関数に基づいて、前記第１映像データを補正し、前記補正された第１映像データに対応する映像信号を生成し、前記第１画素が属する列に対応する映像信号供給要素に供給する、マトリクス表示装置。

【請求項２】 前記複数の行グループのそれぞれは、少なくとも３本の連続する行を含み、前記補正関数は、前記第１画素と同じ行グループに属し、前記第１画素と同じ列に属し、且つ前記第１画素および前記第２画素と異なる行に属する第３画素が表示すべき第３映像データを変数としてさらに含み、前記第１画素と前記第３画素との相対配置関係にさらに依存する、予め決められた関数である、請求項１に記載のマトリクス表示装置。

【請求項３】 前記補正関数は、前記第１画素と同じ行グループに属し、前記第１画素と異なる列に属し、且つ前記第１画素または前記第２画素に隣接する第４画素が表示すべき第４映像データを変数としてさらに含み、前記第１画素と前記第４画素との相対配置関係にさらに依存する、予め決められた関数である、請求項１または２に記載のマトリクス表示装置。

【請求項４】 前記補正関数は、前記第１映像データと前記第２映像データの線形関数である請求項１から３のいずれかに記載のマトリクス表示装置。

【請求項５】 前記線形関数における、前記第１映像データおよび前記第２映像データに乘算される係数は、前記複数の画素の輝度特性に基づいて予め決められている、請求項４に記載のマトリクス表示装置。

【請求項６】 前記信号生成供給回路は干渉検出補正回路を備え、前記干渉検出補正回路は、前記補正関数を用いた前記補正を演算によって実行する、請求項１から５のいずれかに記載のマトリクス表示装置。

【請求項７】 前記信号生成供給回路は、ルックアップテーブルを用いて、前記補正関数を用いた前記補正を実行する、請求項１から５のいずれかに記載のマトリクス表示装置。

【請求項８】 複数の走査線がそれぞれの内部に設けられた複数のプラズマ放電チャンネルを有し、前記複数の行グループのそれぞれは、前記複数のプラズマ放電チャンネルのそれぞれに一对一で対応し、前記複数の行選択要素のそれぞれは、前記複数の走査線に対応する、請求項１から７のいずれかに記載のマトリクス表示装置。

【請求項９】 少なくとも２本以上の走査線が割り当てられたプラズマ放電チャンネルが行状に配置されたプラズマセルと、データ電極が列状に配置された表示セルとを互いに重ねた積層構造を有し、前記プラズマ放電チャンネルと前記データ電極の交差部に行列状の画素が規定されたパネルと、

前記プラズマ放電チャンネルに順次放電パルスを印加して前記パネルの走査を行う垂直走査回路と、

前記走査に同期して前記データ電極に映像データを供給する信号回路と、

同一の前記プラズマ放電チャンネルに割り当てられた前記走査線の映像データの相関を検出し、検出した前記相関に応じて前記データ電極に供給する映像データを補正する干渉検出補正回路と、

を備えたプラズマアドレス表示装置。

【請求項１０】 前記干渉検出補正回路は、隣接する前記走査線の映像データ間で演算を行うために、１走査期間の映像データを蓄積するためのラインメモリを有する、請求項９に記載のプラズマアドレス表示装置。

【請求項１１】 前記干渉検出補正回路は、隣接する前記走査線の映像データ間で行う演算において、同一の前記プラズマ放電チャンネルに割り当てられた走査線において完結的に処理を行う、請求項９に記載のプラズマアドレス表示装置。

【請求項１２】 前記干渉検出補正回路は、前記映像データをプラズマアドレス表示装置に表示した際の垂直表示位置の移動を考慮した完結制御回路を有する、請求項９に記載のプラズマアドレス表示装置。

【請求項１３】 前記干渉検出補正回路は、メモリを用いたルックアップテーブル法により補正値を求める、請求項９に記載のプラズマアドレス表示装置。

【請求項１４】 前記干渉検出補正回路は、前記映像データの垂直高域周波数利得を補償する、請求項９に記載のプラズマアドレス表示装置。

【請求項１５】 前記干渉検出補正回路は、垂直高域成分を抽出するために必要となる１走査期間の映像データ

を前記ラインメモリに蓄積する、請求項１４に記載のプラズマアドレス表示装置。

【請求項１６】 前記干渉検出補正回路は、干渉を補正するためのゲイン制御回路に連動して最適なゲイン設定を行う、請求項１４に記載のプラズマアドレス表示装置。

【請求項１７】 前記干渉検出補正回路は、ノイズを低減するためのノイズ低減回路を有する、請求項９に記載のプラズマアドレス表示装置。

【請求項１８】 前記ノイズ低減回路は、前記映像データのノイズレベルによって低減量を制御する、請求項１７に記載のプラズマアドレス表示装置。

【請求項１９】 前記ノイズ低減回路は、ノイズ低減補正特性をメモリに格納している、請求項１８に記載のプラズマアドレス表示装置。

【請求項２０】 前記干渉検出補正回路は、前記表示セルの電気光学特性を考慮して補正値を決定する、請求項９に記載のプラズマアドレス表示装置。

【請求項２１】 前記干渉検出補正回路は、前記電気光学特性をメモリに格納している、請求項９に記載のプラズマアドレス表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明はマトリクス表示装置に関し、特に、プラズマアドレス表示装置に関する。

【０００２】

【従来の技術】従来より、画像表示装置の１つとして、表示セル及びプラズマセルを重ねたフラットパネルと、信号回路及び垂直走査回路等の周辺回路とを有するプラズマアドレス表示装置が存在する。従来のプラズマアドレス表示装置は、例えば特開平１－２１７３９６号公報に記載されている。

【０００３】図２２は、従来のプラズマアドレス表示装置のパネルの構造を示す。図２２に示すように、表示セル１とプラズマセル２は、マイクロシート３を介して重ねられたフラットパネル構造を有している。プラズマセル２は、行状に配列されたプラズマ放電チャンネル５と下側のガラス基板４を備えており、線順次でプラズマ放電を発生させて走査を行う。プラズマ放電チャンネル５は、行状の空間を形成するバリアリブ６と、ガラス基板４の内側表面に形成されるストライプ状のアノード電極

(Ａ) ７と、カソード電極 (Ｋ) ８とを備えており、空間内はイオン化可能なガスが封入されている。一方、表示セル１において、上側のガラス基板９とマイクロシート３との間に、表示媒体である液晶１０が保持されている。ガラス基板９の内側表面には、ストライプ状のカラーフィルタ１２及びデータ電極 (Ｐ) １１がプラズマ放電チャンネル５と交差するように形成されている。ストライプ状のカラーフィルタ１２及びデータ電極 (Ｐ) １１が、プラズマ放電チャンネル５とマトリクス状に交差した

部分に個々の画素が規定される。

【０００４】次に、図２２のプラズマアドレス表示装置の動作を図２３を参照して説明する。図２３は、図２２のプラズマアドレス表示装置の一部を示している。放電パルスが印加されて、プラズマ放電チャンネル５にプラズマ放電が発生すると、プラズマ放電チャンネル５の内部は略アノード電位に維持される。等価回路では、放電チャンネル５内のマイクロシート３の面に仮想電極２０が形成され、スイッチ２１がオンとなる。パルス印加回路２２は、データ電極１１とアノード電極７との間に“映像データを印加する回路である。パルス印加回路２２がプラズマ放電の発生と同時に映像データを印加すると、マイクロシート３を介して各画素の液晶１１に映像データが書き込まれる。プラズマ放電が終了すると、スイッチ２１がオフとなって放電チャンネル５はフローティングとなり、書き込まれた映像データが各画素に保持される。保持された映像データに応じて、液晶の透過率は変化する。

【０００５】上述したプラズマアドレス表示装置において高解像度化を図る場合には、水平方向（行方向）及び垂直方向（列方向）において、各々構造物を微細化する必要がある。垂直方向の高解像度化に注目した場合、行状に並ぶプラズマ放電チャンネルの幅を狭くする必要がある。しかし、バリアリブの幅を極端に薄くすることは製造技術の面や機械的強度の面から難しい。バリアリブの幅を一定のままバリアリブの配列ピッチを狭くすると、開口率の低下を招く。またこの場合、バリアリブが有する高さ寸法は斜めから入射する光を遮ってしまうため視野角が狭くなる。

【０００６】本願発明者は他の者とともに、プラズマアドレス表示装置の高解像度化の一手法を提案した（特願平１０－２５３１４５号）。この手法は、バリアリブの幅や配列ピッチをそのままに、プラズマアドレス表示装置の垂直解像度を向上させるものである。

【０００７】図２４は、上述した本発明者らによる特願平１０－２５３１４５号に記載されたプラズマアドレス表示装置のパネルの構造を示す。図２４に示すプラズマアドレス表示装置のパネルの構造が、図２２に示すプラズマアドレス表示装置のパネルの構造と異なる点は、行状に並ぶプラズマ放電用電極にある。プラズマ放電用電極は、走査電極 (Ｓ) １３として、バリアリブ６の直下と、２つのバリアリブ６の間とに配置されている。

【０００８】図２５ (ａ) および図２５ (ｂ) を参照して、プラズマアドレス表示装置の動作を説明する。図２５ (ａ) は特開平１－２１７３９６号公報のプラズマアドレス表示装置（従来）の映像データの書き込み動作を示し、図２５ (ｂ) は本発明者らが提案している高精細なプラズマアドレス表示装置（上記特願平１０－２５３１４５号）に対して従来の駆動方法を採用した場合の映像データの書き込み動作を示している。なお、図２５に

において $T11 \sim T1E$ 、 $T21 \sim T2E$ はタイミングを示し、 $D11 \sim D13$ 、 $D21 \sim D26$ は映像データを示している。

【0009】図25(a)により示される動作は以下の通りである。まず、タイミング $T11$ に、カソード $K1$ に放電パルスを印加し、 $A1$ 、 $K1$ からなるプラズマ放電チャンネルに映像データ $D11$ を書き込み、これを保持する。次の走査期間であるタイミング $T12$ には、 $K2$ に放電パルスを印加し、 $A2$ 、 $K2$ からなるプラズマ放電チャンネルに映像データ $D12$ を書き込み、これを保持する。次の走査期間であるタイミング $T13$ にも、前記と同様に映像データ $D13$ を書き込む。タイミング $T11 \sim T13$ の一連の処理により、 $T1E$ に示すように、所定のプラズマ放電チャンネルに所定の映像データが書き込まれる。なお、図25(a)より明らかであるように、1つのプラズマ放電チャンネルにつき、書き込まれる映像データは1つである。

【0010】一方、図25(b)により示される動作は以下の通りである。まず、タイミング $T21$ に、走査電極 $S1$ を選択して放電パルスを印加し、 $S1$ とその両隣に位置する走査電極との間、すなわち $S0 \sim S1$ 間と $S1 \sim S2$ 間に放電を発生させて映像データ $D21$ を書き込み、これを保持する。次の走査期間であるタイミング $T22$ に、走査電極 $S2$ を選択して放電パルスを印加し、 $S1$ とその両隣に位置する走査電極との間、すなわちバリアリブ6をはさんだ $S1 \sim S2$ 間と $S2 \sim S3$ 間に放電を発生させて映像データ $D22$ を書き込み、これを保持する。ここで、走査電極 $S1 \sim S2$ 間に書き込まれる映像データに注目すると、タイミング $T21$ に一旦書き込まれた映像データ $D21$ は、タイミング $T22$ に映像データ $D22$ に書き直されている。同様に、タイミング $T23$ 、 $T24$ 、 $T25$ 、 $T26$ に、各々走査電極 $S3$ 、 $S4$ 、 $S5$ 、 $S6$ を選択して放電パルスを印加し、各映像データ $D23$ 、 $D24$ 、 $D25$ 、 $D26$ を書き込み、これらを保持する。タイミング $T21 \sim T26$ の一連の処理により、 $T2E$ に示すように、所定のプラズマ放電チャンネルに所定の映像データが書き込まれる。図25(b)から明らかであるように、図24のプラズマアドレス表示装置は、1つのプラズマ放電チャンネルについて書き込まれる映像データの数を2つにすることにより、バリアリブの配列ピッチやリブ幅等の構造を変更せずに、プラズマアドレス表示装置の垂直解像度を図25(a)に比べて改善している。

【0011】図26は、図24のプラズマアドレス表示装置200の全体の構成を示す。図26に示すように、プラズマアドレス表示装置200は、パネル201、信号回路202、垂直走査回路203、制御回路204、入力端子群206、同期分離回路207、システムマイコン208、及び垂直補償回路210を備えている。パネル201は、行状に配した走査電極 $S1 \sim Sn$ を有す

るプラズマセルと、データ電極 $P1 \sim Pm$ を有する表示セルとを互いに重ねたフラットパネル構造である。走査電極 $S1 \sim Sn$ とデータ電極 $P1 \sim Pm$ の交点に画素205が規定される。同期分離回路207は、入力端子群206から入力される映像データから、水平同期信号及び垂直同期信号を抽出し、各種タイミング信号を、制御回路204及びシステムマイコン208に供給する。システムマイコン208は、パネル201に映像データを表示したときの表示位相の管理を行う。制御回路204は、信号回路202と垂直走査回路203の同期制御を行う。垂直走査回路203は、走査電極 $S1 \sim Sn$ に線順次で放電パルスを印加して走査を行う。信号回路202は、垂直走査回路203の走査に同期してデータ電極 $P1 \sim Pm$ に映像データを供給する。垂直補償回路210は、映像データの垂直高域成分の補償を行う。

【0012】図27は、図26の垂直補償回路210の詳細なブロック図である。また、図28は、垂直補償回路210の動作を説明するための模式図である。図27の垂直補償回路においては、ラインメモリ32、33を参照して、走査期間単位に遅延した信号を得る。ラインメモリ32、33から得られた信号について演算を行い、ゲイン回路39によってゲイン調整した後に、加算器40により現信号 $W2$ に加える。

【0013】図27の垂直補償回路の動作を図28を参照して説明する。図28の(a)は、映像レベル50の画素 $u1 \sim u4$ と、映像レベル150の画素 $u5 \sim u8$ が1走査線期間単位で並んでいる状態を示している。画素 $u4$ が現信号、つまり注目画素である場合、図27において $W2$ が $u4$ 、 $W3$ が $u3$ 、 $W1$ が $u5$ になる。図28は、映像データにおいて、 $u3 = 50$ 、 $u4 = 50$ 、 $u5 = 150$ であると仮定した場合の例である。

【0014】図27のラインメモリ32、33から得られた信号について、乗算器34、36により $1/4$ の乗算を行い、乗算器35により $1/2$ の乗算を行う。乗算器34、35、36それぞれの乗算結果は、加算器37、38により加算される。加算器38の出力 $W4$ は、 -25 と求まる。ゲイン回路39における演算量は、プラズマアドレス表示装置の観察者の好みによって変わり、一概に最適値は決まらないのであるが、多くの場合0～1の間の演算量が用いられる。ここでは、演算量が $1/5$ であると仮定すると、ゲイン回路39が出力する $W5$ は -5 となる。この $W5$ と、現信号の $W2$ との加算を加算器40で行う。その結果、 $W6$ は45となる。同様に、画素 $u5$ を現信号とすると、その前後の画素との演算から、 $W6 = 155$ となる。画素 $u6$ など、前後の画素のデータが同じであり、映像的に変化のない平坦な場合には、演算結果は $W6 = 150$ となり、補償は行われない。

【0015】図28(b)は、画像データに垂直補償回路により補償がなされた結果を示す。図28(b)より

明らかであるように、画素u4とu5との間のような、画素レベルの変化点である映像のエッジ部分において、補償信号が付加されて強調されている。

【0016】

【発明が解決しようとする課題】図24に示した、本発明者らによる高精細プラズマアドレス表示装置においては、同一プラズマ放電チャネル内の映像データが互いに干渉し合う現象が発生する。例えば、図25(b)のタイミングT2Eにおいて、D21とD22や、D23とD24が互いに干渉する。これは、D21とD22、D23とD24の間にバリアリブが存在しないことに起因する。

【0017】図29は、図24のプラズマアドレス表示装置に映像データを表示した状態の模式図である。図24のプラズマアドレス表示装置における映像データ間の干渉を、図29を参照して説明する。図29は、走査線8ライン分(L1~L8)、画素10画素分(X1~X10)の領域に、白地に例えば文字のような黒線が表示されている状態を模式的に表している。図29(a)に示すように映像データを書き込んで表示しようとする場合、映像データ間にバリアリブが存在しないため、同一プラズマ放電チャネル内の走査線の映像データが垂直方向に互いに影響を及ぼし合う。すなわち、白い映像データの輝度が落ちて暗くなり、逆に黒い映像データは輝度が上がる。その結果、図29(b)に示すように、同一プラズマ放電チャネル内で白黒の変化のある箇所、例えば(L5、X6)の交点に位置する画素と(L6、D6)の交点に位置する画素とが、互いに干渉しあって、本来の映像データが変化してしまい、表示画像の鮮鋭度の低下や、エッジがにじむなどの画質劣化として観察者に不快感を与えることがある。

【0018】垂直補償回路210によっては、この干渉による妨害の改善はできない。逆に、垂直エッジ信号の補償処理は干渉による妨害を助長する方向に働くため、垂直補償処理によって、より妨害が目立つようになる。つまり、干渉の影響のため、垂直補償処理のゲイン量を十分に大きくすることができない。

【0019】また、上記の問題は例示したプラズマアドレス表示装置に限らず、他の線順次駆動型マトリクス表示装置で発生し得る。線順次駆動されるマトリクス表示装置は、それぞれの画素が電気的にアドレスされ、それぞれの表示状態を電気的に維持するので、行間または列間で電気的な干渉(映像データ間の干渉)が生じることがある。特に、上記のプラズマアドレス表示装置のように、映像データ間の干渉が特定の行間(連続する走査単位の間)において顕著に発生するアドレス方法を用いるマトリクス表示装置において顕著となる。

【0020】本発明は、上記の問題に鑑み、映像データ間の干渉を抑制したマトリクス表示装置およびプラズマアドレス表示装置を提供することを目的とする。

【0021】また、本発明は、特に、同一放電チャネル内において垂直方向に隣接する映像データの振幅から干渉による妨害の度合いを検出し、検出成分に対して最適な処理を施して補正信号として求めて映像データを補正することにより、干渉による劣化を改善し、高精細で、なおかつボケやにじみのない高画質な画像を得ることを目的とする。

【0022】

【課題を解決するための手段】本発明のマトリクス表示装置は、複数の行および複数の列を構成する、マトリクス状に配列された複数の画素と、前記複数の行にそれぞれ対応して設けられた複数の行選択要素と、前記複数の列にそれぞれ対応して設けられた複数の映像信号供給要素と、前記複数の行選択要素のそれぞれに、走査信号を順次供給し、前記複数の画素を前記複数の行ごとに線順次走査する走査回路と、前記複数の映像信号供給要素のそれぞれに、前記線順次走査と同期して、表示すべき映像データに対応する映像信号を生成、供給する信号生成供給回路とを有するマトリクス型表示装置であって、前記複数の画素の内の任意の第1画素は、連続する複数の行をそれぞれが有する複数の行グループのいずれか1つに属し、前記信号生成供給回路は、映像データを受信し、前記第1画素が表示すべき第1映像データと、前記第1画素と同じ行グループに属し、前記第1画素と同じ列に属し、且つ前記第1画素と異なる行に属する第2画素が表示すべき第2映像データとを変数として含み、少なくとも前記第1画素と前記第2画素との相対配置関係に依存する、予め決められた補正関数に基づいて、前記第1映像データを補正し、前記補正された第1映像データに対応する映像信号を生成し、前記第1画素が属する列に対応する映像信号供給要素に供給する構成を備え、そのことによって上記目的が達成される。

【0023】前記複数の行グループのそれぞれは、少なくとも3本の連続する行を含み、前記補正関数は、前記第1画素と同じ行グループに属し、前記第1画素と同じ列に属し、且つ前記第1画素および前記第2画素と異なる行に属する第3画素が表示すべき第3映像データを変数としてさらに含み、前記第1画素と前記第3画素との相対配置関係にさらに依存する、予め決められた関数であってもよい。

【0024】前記補正関数は、前記第1画素と同じ行グループに属し、前記第1画素と異なる列に属し、且つ前記第1画素または前記第2画素に隣接する第4画素が表示すべき第4映像データを変数としてさらに含み、前記第1画素と前記第4画素との相対配置関係にさらに依存する、予め決められた関数であってもよい。

【0025】前記補正関数は、前記第1映像データと前記第2映像データの線形関数であってもよい。

【0026】前記線形関数における、前記第1映像データおよび前記第2映像データに乘算される係数は、前記

複数の画素の輝度特性に基づいて予め決められていることが好ましい。

【0027】前記信号生成供給回路は干渉検出補正回路を備え、前記干渉検出補正回路は、前記補正関数を用いた前記補正を演算によって実行する構成としてもよい。

【0028】前記信号生成供給回路は、ルックアップテーブルを用いて、前記補正関数を用いた前記補正を実行する構成としてもよい。

【0029】複数の走査線がそれぞれの内部に設けられた複数のプラズマ放電チャンネルを有し、前記複数の行グループのそれぞれは、前記複数のプラズマ放電チャンネルのそれぞれに一对一で対応し、前記複数の行選択要素のそれぞれは、前記複数の走査線に対応する構成としてもよい。

【0030】本発明のプラズマアドレス表示装置は、少なくとも2本以上の走査線が割り当てられたプラズマ放電チャンネルが行状に配置されたプラズマセルと、データ電極が列状に配置された表示セルとを互いに重ねた積層構造を有し、前記プラズマ放電チャンネルと前記データ電極の交差部に行列状の画素が規定されたパネルと、前記プラズマ放電チャンネルに順次放電パルスを印加して前記パネルの走査を行う垂直走査回路と、前記走査に同期して前記データ電極に映像データを供給する信号回路と、同一の前記プラズマ放電チャンネルに割り当てられた前記走査線の映像データの相関を検出し、検出した前記相関に応じて前記データ電極に供給する映像データを補正する干渉検出補正回路とを備えており、これにより上記目的が達成される。

【0031】前記干渉検出補正回路は、隣接する前記走査線の映像データ間で演算を行うために、1走査期間の映像データを蓄積するためのラインメモリを有してもよい。

【0032】前記干渉検出補正回路は、隣接する前記走査線の映像データ間で行う演算において、同一の前記プラズマ放電チャンネルに割り当てられた走査線において完結的に処理を行ってもよい。

【0033】前記干渉検出補正回路は、前記映像データをプラズマアドレス表示装置に表示した際の垂直表示位置の移動を考慮した完結制御回路を有してもよい。

【0034】前記干渉検出補正回路は、メモリを用いたルックアップテーブル法により補正値を求めてもよい。

【0035】前記干渉検出補正回路は、前記映像データの垂直高域周波数利得を補償してもよい。

【0036】前記干渉検出補正回路は、垂直高域成分を抽出するために必要となる1走査期間の映像データを前記ラインメモリに蓄積してもよい。

【0037】前記干渉検出補正回路は、干渉を補正するためのゲイン制御回路に連動して最適なゲイン設定を行ってもよい。

【0038】前記干渉検出補正回路は、ノイズを低減す

るためのノイズ低減回路を有してもよい。

【0039】前記ノイズ低減回路は、前記映像データのノイズレベルによって低減量を制御してもよい。

【0040】前記ノイズ低減回路は、ノイズ低減補正特性をメモリに格納していてもよい。

【0041】前記干渉検出補正回路は、前記表示セルの電気光学特性を考慮して補正値を決定してもよい。

【0042】前記干渉検出補正回路は、前記電気光学特性をメモリに格納していてもよい。

【0043】

【発明の実施の形態】まず、本発明による実施形態のマトリクス表示装置100の構成と動作を図1Aを参照しながら説明する。図1Aは、M行N列（M、N）と表記する）に配列された画素を有するマトリクス表示装置100を模式的に示す図である。

【0044】本発明のマトリクス表示装置100は、複数の行（画素行）および複数の列（画素列）を構成する、マトリクス状に配列された複数の画素101と、複数の行にそれぞれ対応して設けられた複数の行選択要素102と、複数の列にそれぞれ対応して設けられた複数の映像信号供給要素103と、走査回路104と、信号生成供給回路105とを有する。走査回路104は、複数の行選択要素102のそれぞれに、走査信号を順次供給し、複数の画素101を行ごとに線順次走査する。信号生成供給回路105は、映像データを受け取り（図中の矢印）、複数の映像信号供給要素103のそれぞれに、線順次走査と同期して、表示すべき映像データに対応する映像信号を生成、供給する。映像信号供給要素103に供給された、ある画素101が表示すべき映像データに対応する映像信号は、その画素101が属する行を選択する走査信号と同期されているので、ある画素101は所定の映像データに対応する表示状態となる。この動作を行ごとに順次繰り返すことによって、全ての画素が所定の表示状態となる。すなわち、マトリクス表示装置100は、線順次駆動型マトリクス表示装置である。

【0045】信号生成供給回路105は、受け取った映像データに基づいて映像信号を生成する過程で、各画素101間で発生する映像データ間の干渉を補償するように映像データを補正する。なお、干渉が発生する画素やその程度は、各画素101に印加する映像信号（映像電圧）の振幅と表示状態（輝度）との関係を実測することによって予め求める。

【0046】全ての画素101は、連続する複数の行（画素行）からなる行グループRGに分類される。例えば、上述したプラズマアドレス装置においては、それぞれの行グループRGはそれぞれのプラズマ放電チャンネルに対応する。それぞれの画素101は、それぞれ1つの行グループRGにしか属さない。それぞれの行グループRGが、映像データ間の干渉が顕著に発生しやすい構成

の単位（例えば、プラズマ放電チャネル）に対応するように、画素101を行グループRGに分類する。

【0047】従って、任意の画素は、複数の行グループRGのうちの1つの行グループに属する。干渉を補償する（結果として干渉を抑制する）ための映像データの補正は、この行グループRG内で完結的に行う。逆に言うと、行グループRG内で完結的に補正処理を行うことによって、映像データ間の干渉が十分に補償（抑制）されるように、行グループRGが割り当てられている。

【0048】補正処理は、以下のように実行される。

【0049】任意の1つの画素（「第1画素」と呼ぶことにする。「注目画素」と呼ぶこともある。）101が表示すべき映像データ（「第1映像データ」と呼ぶ。）と、第1画素101と同じ行グループRGに属し、第1画素101と同じ列に属し、且つ第1画素RGと異なる行に属する第2画素が表示すべき第2映像データとを変数として含む補正関数に基づいて、第1映像データを補正する。補正関数は、第1画素101と第2画素101との相対配置関係に依存する関数となる。勿論、映像データ間の干渉が、2つの画素101間だけでなく、第1画素101と同じ列あるいは異なる列に属する他の画素101との間においても発生する場合、補正関数は、他の画素101が表示すべき映像データや他の画素101との相対配置関係に依存する関数となる。補正関数は、各画素101に印加する映像信号（映像電圧）の振幅と表示状態（輝度）との関係を実測することによって得られた情報に基づいて予め決定される。信号生成供給回路105は、補正された第1映像データに対応する映像信号を生成し、第1画素が属する列に対応する映像信号供給要素に供給する。このようにして、映像データ間の干渉が抑制された表示が実現される。

【0050】次に、図1Bを参照しながら、補正処理を具体的に説明する。図1Bは、マトリクス表示装置100の4行2列分の画素Pix (M, N)を模式的に示している。以下の図中のData (M, N)は該当する画素Pix (M, N)で表示されるべき映像データを示す。この実施形態では、m行とm+1行とが同じ行グループRGに属し、m+2行とm+3行とが同じ行グループRGに属する。

【0051】本実施形態においては、画素Pix (m, n)で表示されるべきData (m, n)は、その下側に位置する画素Pix (m+1, n)で表示されるべきData (m+1, n)との間の演算を行うことによって、すなわち、これらの映像データを変数とする補正関数に基づいて補正される。また、画素Pix (m+1, n)で表示されるべきData (m+1, n)は、その上側に位置する画素Pix (m, n)で表示されるべきデータData (m, n)との間の演算を行うことによって、すなわち、これらの映像データを変数とする補正関数に基づいて補正される。Data (m, n)を補正

するための演算（補正関数）とData (m+1, n)を補正するための演算（補正関数）とは、同じ場合もあるし、異なる場合もある。これは、表示装置の構造や駆動方法などに依存する。

【0052】次に、補正処理のための演算（補正関数）の例を説明する。

【0053】補正対象の第1画素（注目画素）をPix (m, n)、第1画素Pix (m, n)に影響を及ぼす第2画素（「干渉画素」とも言う。）をPix (m+1, n)とする。まず、2つの映像データから、Pix (m, n)に対する干渉成分Derr (m, n)を求める。Derr (m, n)は、Pix (m, n)が受ける干渉の程度を示すデータであり、Data (m, n)とData (m+1, n)との差に主に依存するので、例えば、以下の様な線形関数として表される。

【0054】
$$Derr(m, n) = K3 * [K1 * Data(m, n) - K2 * Data(m+1, n)]$$

ここで、係数K1, K2は、互いに干渉しあうData (m, n)とData (m+1, n)との影響の程度の比率を示す係数であり、係数K3は実際の表示の干渉に対する影響の程度を示す係数（「ゲイン係数」と言うこともある。）である。K3は、映像データの値に依存しない定数である場合もあり、マトリクス表示装置のガンマ特性の関数となる場合もある。係数K1, K2およびK3は、画素の輝度特性（電気光学特性）に基づいて決められる。なお、式中の「*」は乗算を意味する。

【0055】上述の様にして得られたDerr (m, n)を第1画素Pix (m, n)のデータData (m, n)に加算することによって、補正済み映像データnewDataが得られる。従って、補正済みデータnewDataは、下記に示すように、Data (m, n)とData (m+1, n)とを変数とする線形関数として表される。

【0056】
$$newData(m, n) = Data(m, n) + Derr(m, n) = Data(m, n) + K3 * [K1 * Data(m, n) - K2 * Data(m+1, n)]$$

次に、補正対象の第1画素（注目画素）をPix (m+1, n)、第1画素Pix (m+1, n)に影響を及ぼす第2画素（干渉画素）をPix (m, n)とする。上記と同様にして、2つの映像データから、Pix (m+1, n)に対する干渉成分Derr (m+1, n)を求める。

【0057】
$$Derr(m+1, n) = J3 * [J1 * Data(m+1, n) - J2 * Data(m, n)]$$

ここで、J1, J2, J3は係数であり、マトリクス表示装置の駆動条件などで、各々K1=J1, K2=J2, K3=J3となる場合もあり、またそうでない場合もある。また、K1=J2, K2=J1となる場合もある。すなわち、Derr (m, n)は一般に、注目画素

と干渉画素との相対的な配置関係に依存する関数で表される。

【0058】これを第1画素 $Pix(m+1, n)$ のデータに加算し、補正済みデータ $newData(m+1, n)$ が得られる。

$$newData(m+1, n) = Data(m+1, n) + Derr(m+1, n) = Data(m+1, n) + J3 * \{J1 * Data(m+1, n) - J2 * Data(m, n)\}$$

以上のように、干渉を及ぼしあう $Pix(m, n)$ と $Pix(m+1, n)$ との映像データを用いて補正を行うことができる。隣の列の画素に注目した場合、同様に、 $Pix(m, n+1)$ および $Pix(m+1, n+1)$ の映像データを用いてそれぞれの映像データの補正を行う。

【0059】このように、本実施形態によると、2つの画素からなるエリアのなかで互いに演算を行うことによって、干渉を補償することができる。また、補正処理の対象となるエリアは縦方向に重複することがない。つまり、第1画素 $Pix(m+2, n)$ に対する補正処理は、 $Pix(m+2, n)$ および $Pix(m+3, n)$ からなるエリアで実行される。

【0060】上記の例では、1つの行グループRGが2つの行を含む例についての補正処理を説明したが、1つの行グループRGは3以上の行を含んでもよい。また、補正処理が映像データの線形関数として表される補正関数（簡単な四則演算）に基づいて実行される例を説明したが、補正関数は上記の例に限られない。マトリクス表示装置の輝度特性や駆動方法、入力される映像データの種類や、要求される補正の精度に応じて、補正関数は適宜変えられる。また、補正処理は、演算を実行する回路（例えば、後述する干渉検出補正回路）を用いて行ってもよいし、ルックアップテーブルを用いて行ってもよい。

【0061】次に、行グループRGのそれぞれが3本の連続する行を含む場合の補正処理を図1Cを参照しながら説明する。簡単さのために、第1画素（注目画素）と同じ列に属する3つの画素間での干渉の補償を行う。従って、補正関数は、第1画素と同じ列に属し、且つ第1画素および第2画素と異なる行に属する第3画素が表示すべき第3映像データを変数としてさらに含む。また、この補正関数は、第1画素と第3画素との相対配置関係にさらに依存する。

【0062】図1Cは、マトリクス表示装置100の6行2列分の画素 $Pix(M, N)$ を示している。この実施形態では、 m 行、 $m+1$ 行および $m+2$ 行とが同じ行グループRGに属し、 $m+3$ 行、 $m+4$ 行および $m+5$ 行が同じ行グループRGに属する。

【0063】本実施形態においては、干渉しあう画素 $Pix(m, n)$ 、 $Pix(m+1, n)$ 、 $Pix(m+2, n)$ の3つの画素からなるエリアで、それぞれの映像データに対して演算を行うことにより、画素 $Pix(m, n)$ 、 $Pix(m+1, n)$ 、 $Pix(m+2, n)$ の間で発生する干渉を補償する。

【0064】まず、補正対象の第1画素を $Pix(m, n)$ 、第1画素 $Pix(m, n)$ に影響を及ぼす干渉画素を第2画素 $Pix(m+1, n)$ および第3画素 $Pix(m+2, n)$ とする。これらの映像データに基づいて干渉成分を求める。第1画素 $Pix(m, n)$ に対する干渉成分 $Derr(m, n)$ は、下記の様に表される。

$$Derr(m, n) = Fa[Data(m, n), Data(m+1, n), Data(m+2, n)]$$

ここで、 $Fa[]$ は、 $Data(m, n)$ 、 $Data(m+1, n)$ および $Data(m+2, n)$ を変数とする関数である。線形関数である場合もあるし、そうでない場合もある。

【0066】これを第1画素 $Pix(m, n)$ の映像データ $Data(m, n)$ に加算し、補正済みデータである $newData$ が得られる。すなわち、 $newData(m, n) = Data(m, n) + Derr(m, n)$ となる。

【0067】次に、補正対象の第1画素を $Pix(m+1, n)$ とすると、第1画素 $Pix(m+1, n)$ に影響を及ぼす干渉画素は、第2画素 $Pix(m, n)$ および第3画素 $Pix(m+2, n)$ であるので、次式から $Pix(m+1, n)$ に対する干渉成分 $Derr(m+1, n)$ が求められる。

$$Derr(m+1, n) = Fb[Data(m+1, n), Data(m, n), Data(m+2, n)]$$

$Fb[]$ は、 $Data(m, n)$ 、 $Data(m+1, n)$ 、 $Data(m+2, n)$ を変数とする関数である。 $Fb[]$ は、上述の $Fa[]$ と異なる関数である場合もあり、同じ関数である場合もある。 $Derr(m, n)$ は一般に、注目画素と干渉画素との相対的な配置関係に依存する関数で表される。

【0069】これを第1画素 $Pix(m+1, n)$ の映像データ $Data(m+1, n)$ に加算し、補正済みデータ $newData(m+1, n)$ が得られる。

$$newData(m+1, n) = Data(m+1, n) + Derr(m+1, n)$$

次に、補正対象の第1画素を $Pix(m+2, n)$ とする。第1画素 $Pix(m+2, n)$ に影響を及ぼす干渉画素は、第2画素 $Pix(m, n)$ 、第3画素 $Pix(m+1, n)$ であるので、上記と同様に、次式から $Pix(m+2, n)$ に対する干渉成分 $Derr(m+2, n)$ を求める。

$$Derr(m+2, n) = Fc[Data(m+2, n), Data(m, n), Data(m+1, n)]$$

$(m+2, n)$ 、 $Data(m, n)$ 、 $Data(m+1, n)$]

$Fc[]$ は、 $Data(m, n)$ 、 $Data(m+1, n)$ および $Data(m+2, n)$ を変数とする関数である。前述の $Fa[]$ 、 $Fb[]$ と異なる関数である場合もあり、同じ関数である場合もある。すなわち、 $Fa[]$ 、 $Fb[]$ および $Fc[]$ は、それぞれの画素の相対は位置関係に依存する。

【0072】これを第1画素 $Pix(m+2, n)$ の映像データ $Data(m+2, n)$ に加算し、補正済みデータ $newData$ を得る。

【0073】 $newData(m+2, n) = Data(m+2, n) + Derr(m+2, n)$

以上のように、干渉を及ぼしあう $Pix(m, n)$ 、 $Pix(m+1, n)$ および $Pix(m+2, n)$ の映像データを用いて補正を行う。同様に隣の列に注目した場合、 $Pix(m, n+1)$ 、 $Pix(m+1, n+1)$ および $Pix(m+2, n+1)$ の映像データを用いてそれぞれの映像データの補正を行う。

【0074】このように、本実施形態によると、3つの画素からなるエリアのなかで互いに演算を行うことによって、干渉を補償することができる。また、補正処理の対象となるエリアは縦方向に重複することがない。つまり、第1画素 $Pix(m+3, n)$ に対する補正処理は、 $Pix(m+3, n)$ 、 $Pix(m+4, n)$ および $Pix(m+5, n)$ からなるエリアで実行される。

【0075】次に、図1D、図1E、図1F、図1Gおよび図1Hを参照しながら、より多くの画素間の干渉を補償するための処理を説明する。すなわち、下記の実施形態では、第1画素（注目画素）と異なる列に属する画素からの影響をも補償する。一般に、第1画素に最も近い画素からの影響が最も大きいので、1つの行グループが3つ以上の行を含む場合、最大で9つの画素間の干渉を補償すれば、十分な干渉抑制効果が得られると考えられる。

【0076】以下では、簡単さのために、1つの行グループが2つの行を含む場合について説明する。第1画素に干渉する画素は、第1画素と同一の行内で隣接する第2および第3画素と、第1画素と異なる行に属し、第1、第2および第3画素とそれぞれ隣接する第4、第5および第6画素とする。

【0077】まず、図1Eに示すように、第1画素を $Pix(m, n+1)$ と仮定すると、第1画素 $Pix(m, n+1)$ は、その周辺画素（「最近接画素」とも言う。）である $Pix(m, n)$ 、 $Pix(m, n+2)$ 、 $Pix(m+1, n)$ 、 $Pix(m+1, n+1)$ 、 $Pix(m+1, n+2)$ から影響を受けるので、これらの画素のデータから補正值を求める。先と同様に、 $Pix(m, n+1)$ に対する干渉成分 $Derr(m, n+1)$ は、次式で求められる。

【0078】 $Derr(m, n+1) = F0[Data(m, n+1), Data(m, n+2), Data(m, n), Data(m+1, n), Data(m+1, n+1), Data(m+1, n+2)]$

$F0[]$ は、 $Data(m, n+1)$ 、 $Data(m, n+2)$ 、 $Data(m, n)$ 、 $Data(m+1, n)$ 、 $Data(m+1, n+1)$ 、 $Data(m+1, n+2)$ を変数とする関数である。これを第1画素 $Pix(m, n+1)$ の映像データ $Data(m, n+1)$ に加算し、補正済みデータである $newData(m, n+1)$ が得られる。すなわち、 $newData(m, n+1) = Data(m, n+1) + Derr(m, n+1)$ で表される。

【0079】以下、同様に、第1画素が $Pix(m+1, n+1)$ の場合は、図1Fに示すエリアの映像画素データに基づいて補正を行う。 $Derr(m+1, n+1)$ を求めるための関数は、上述の $F0[]$ と異なる場合もあるし、そうでない場合もあるのは、先に述べた通りである。第1画素が1列ずれて $Pix(m+1, n+2)$ の場合は図1Gに示した画素間で補正処理を同様に行う。また、第1画素が $Pix(m+2, n+1)$ の場合は、図1Hに示した画素間で補正処理を同様に行う。このように、干渉を及ぼしあう6つの画素からなるエリアのなかで互いに演算を行うことによって、干渉を補償することができる。また、補正処理の対象となるエリアは縦方向に重複することがない。

【0080】以下、本発明による実施形態のプラズマアドレス表示装置を説明する。

【0081】（実施の形態1）図2Aは、本発明のプラズマアドレス表示装置の全体の構成を示す。図2Aに示すように、本発明のプラズマアドレス表示装置は、パネル201、信号回路202、垂直走査回路203、制御回路204、入力端子群206、同期分離回路207、システムマイコン208、及び干渉検出補正回路209を備えている。

【0082】パネル201は、行状に配した走査電極 $S1 \sim Sn$ を有するプラズマセルと、データ電極 $P1 \sim Pm$ を有する表示セルとを互いに重ねたフラットパネル構造を有する。パネル201において、走査電極 $S1 \sim Sn$ とデータ電極 $P1 \sim Pm$ との交点に画素205が規定される。信号回路202は、垂直走査回路203の走査に同期してデータ電極 $P1 \sim Pm$ に映像データを供給する。垂直走査回路203は、走査電極 $S1 \sim Sn$ に線順次で放電パルス印加して走査を行う。制御回路204は、信号回路202と垂直走査回路203の同期制御を行う。

【0083】入力端子群206からは、補正対象となる映像データを表す入力信号 a が入力される。同期分離回路207は、入力信号 a から水平同期信号、垂直同期信号を抽出し、各種タイミング信号を、制御回路204、

システムマイコン２０８、及び干渉検出補正回路２０９に供給する。システムマイコン２０８は、パネル２０１に映像データを表示したときの表示位相の管理を行う。

【００８４】図２Ａに示すプラズマアドレス表示装置の特徴は、干渉検出補正回路２０９を有することである。干渉検出補正回路２０９は、入力端子群２０６から入力された入力信号ａに対して、干渉の検出処理と補正処理とを施し、補正済出力信号ｂとして制御回路２０４に出力する。また、干渉検出補正回路２０９には、同期分離回路２０７から垂直同期タイミングｃが入力され、システムマイコン２０８から垂直表示位相信号ｄが入力される。

【００８５】図２Ｂは、図２Ａのプラズマアドレス表示装置が備えているパネル２０１の構造を示す。パネル２０１の構造は、図２４に示した本発明者らによるのプラズマアドレス表示装置のパネルの構造と同じである。バリアリブ６、マイクロシート３、及びガラス基板４により形成されるプラズマ放電チャネル５には、少なくとも２つ以上の走査線が割り当てられている。垂直走査回路２０３により走査電極Ｓを順次選択し、選択された走査電極Ｓとその前後の走査電極Ｓとの間でプラズマ放電を発生させ、順次映像データを書き込み保持する。

【００８６】表示セル１とプラズマセル２は、マイクロシート３を介して重ねられたフラットパネル構造を有している。プラズマセル２は、行状に配列したプラズマ放電チャネル５と下側のガラス基板４から構成され、線順次でプラズマ放電を発生させ走査を行う。プラズマ放電チャネル５は、行状の空間を形成するバリアリブ６と、ガラス基板４の内側表面に形成されるストライプ状の走査電極（Ｓ）１３とから構成され、空間内はイオン化可能なガスが封入されている。走査電極（Ｓ）は、バリアリブ６直下と、２つのバリアリブ６の間に配置される。一方、表示セル１において、上側のガラス基板９とマイクロシート３との間には、表示媒体としての液晶１０が保持されている。ガラス基板９の内側表面には、ストライプ状のカラーフィルタ１２及びデータ電極（Ｐ）１１がプラズマ放電チャネル５と交差する様に形成されている。カラーフィルタ１２及びデータ電極（Ｐ）１１がプラズマ放電チャネル５とマトリクス状に交差した部分に、個々の画素が規定される図３は、図２Ａのプラズマ

アドレス表示装置における映像データの書き込み動作を模式的に示す。映像データの書き込み動作は、上述した図２４のパネルを備えているプラズマアドレス表示装置と同じである。図２２のパネルを備えているプラズマアドレス表示装置に比べて、本発明のプラズマアドレス表示装置は書き込むデータが２倍となっている。

【００８７】図４は、図２Ａのプラズマアドレス表示装置が備えている干渉検出補正回路２０９のブロック図である。干渉検出補正回路２０９は、入力端子群４０１、４０２、４０３、ラインメモリ４０４、４０５、検出回路４０６、補正回路４０７、及び出力端子群４０８を備えている。

【００８８】入力端子群４０１、４０２、４０３からは、それぞれ入力信号ａと、垂直タイミング信号ｃと、垂直表示位相信号ｄとが入力される。ラインメモリ４０４、４０５は、それぞれ１走査期間の映像データを蓄積する。検出回路４０６には、入力端子群４０１からの信号である入力信号ａと、ラインメモリ４０４の出力である１ライン遅延信号ｅと、ラインメモリ４０５の出力である２ライン遅延信号ｆと、入力端子群４０２からの信号である垂直タイミング信号ｃと、入力端子群４０３からの信号である垂直表示位相信号ｄとが入力される。検出回路４０６は、これらの入力信号から干渉補正信号ｇを求め、補正回路４０７に出力する。補正回路４０７には１ライン遅延信号ｅと、干渉補正信号ｇとが入力され、補正済出力信号ｂを出力する。ここで、１ライン遅延信号ｅは入力信号ａに対して１走査期間遅延した信号であり、２ライン遅延信号ｆは入力信号ａに対して２走査期間遅延した信号である。

【００８９】本発明のプラズマアドレス表示装置は、走査線の演算を２ライン単位で完結的に処理する（完結処理）ことを特徴とする。すなわち、検出を行う際に、常に同一プラズマ放電チャネル内の映像データにより演算を行う。完結処理について、図３を参照して説明する。順次走査を行って、走査期間に同期してＤ２１、Ｄ２２、Ｄ２３、と順番に、所定のチャネルに書き込む。Ｄ２３が入力信号ａのとき、１ライン遅延信号ｅとしてＤ２２が、２ライン遅延信号ｆとしてＤ２１が得られる。

【００９０】

【表１】

入力信号a	1ライン遅延信号e	2ライン遅延信号f
D23	D22	D21
D24	D23	D22
D25	D24	D23
D26	D25	D24

D23の補正処理 D24の補正処理

表１は、ライン完結処理をまとめた表である。上記の状態は、表１の上から１段目に対応している。上記のよう

な信号を得て、干渉補正として下記の演算を行う。すなわち、Ｄ２３に対して、

$$D23_{new} = D23 + KS * (D23 - D24) \quad (式1)$$

という演算を行い、同様にD24に対して、

$$D24_{new} = D24 + KS * (D24 - D23) \quad (式2)$$

という演算を行う。なお、係数KSについては後述する。

【0091】上記演算を行うため、信号eを補正対象とする。

【0092】式1の内容は、D24を入力しているとき、D23を信号eから得て、信号aからD24を得て、減算と乗算を行って、D23に加算するものである。また、式2の内容は、D25を入力しているとき、D24を信号eから得て、信号fからD23を得て、減算と乗算を行って、D24に加算するものである。このように、演算対象が常に同一チャンネル内となっている処

$$\text{干渉による変化量} = KP * (LN0 - LN1) \quad (式3)$$

となる。また、信号処理においては、係数KSを用いて下記の演算を行う。

【0095】

$$\text{補正量} = KS * (LN0 - LN1) \quad (式4)$$

$$LN0_{new} = LN0 + KS * (LN0 - LN1) \quad (式5)$$

$$LN1_{new} = LN1 + KS * (LN1 - LN0) \quad (式6)$$

これらの補正済み信号LN0_{new}、LN1_{new}を印加して、そのレベル差によるパネルの干渉の変化量と、

$$KS * (LN0 - LN1) = KP * (LN0_{new} - LN1_{new}) \quad (式7)$$

となればよい。

【0097】よって、KSとKPの関係は、

$$KS = KP / (1 - 2 * KP) \quad (式8)$$

ここで、KPは、測定により求められる数値である。図5(a)においては、上下の映像データのレベル差は、LN0とLN1の書き込みデータレベルの差(200-40)から、160が得られる。レベル差160のとき、干渉によって発生する輝度低下(LN0 > LN1を仮定してるから低下する)は、測定結果より20である。よって、式3から、

$$\begin{aligned} KP &= \text{干渉による変化量} / (LN0 - LN1) \\ &= 20 / (200 - 40) \\ &= 1/8 \end{aligned}$$

これより、KPが1/8のとき、式8から、補正演算の係数KSは、1/6と求められる。

【0098】式8によっては、KP=1/2のときに、解を得られない。これは、一見矛盾しているようであるが、KP=1/2は、LN0とLN1がどのようなレベルであろうと、干渉によってLN0=LN1となる状況を意味する。このような状況は起こり得ない。なぜなら、パネルの特性によって決まるKPは、常に0 < KP < 1/2の範囲をとるからである。よって、式8に矛盾はない。

【0099】以上の説明においては、干渉による変化量はLN0とLN1のデータのレベル差に比例すると仮定したが、本発明のプラズマアドレス装置においてはこの

理が、完結処理である。

【0093】次に、信号処理に必要な係数KSの求め方を説明する。映像データ間の干渉により、輝度変化が起こる。ここでは、説明を単純にするため、パネル表示における干渉による変化量はLN0とLN1のデータのレベル差に比例すると仮定して、計数KSの求め方を以下に説明する。

【0094】パネル表示の際の干渉の係数をKPとする。LN0に注目して、LN0を補正する場合を考える。パネルの干渉量は、上下データのレベル差に比例する。よって、

この係数KSの補正量を下記の式5、式6によって表される信号処理によって補正すればよい。

【0096】

信号処理による補正量がイコールになればよい。すなわち、

特性は比例しない。しかし、干渉による変化量とデータのレベル差との関係が非線形であっても、その非線形特性に応じた係数KSを求めて演算を行えばよい。KSを用いた上記の演算が適用できる。

【0100】図5は、本発明のプラズマアドレス表示装置が備えている干渉検出補正回路の動作を説明するための模式図である。説明を単純にするため、図5は1つのプラズマ放電チャンネルと1つの画素のみを表わしている。演算に必要な係数KSは、1/6を使用する。KS=1/6は、LN0=200、LN1=40を表示した時に実際にパネルにて発生する輝度の変化量から、上述した演算を行って求めたものである。

【0101】図5(a)においては、LN0=200、LN1=40であると仮定している。KS=1/6であるので、補正量は式4から、

$$\text{補正量} = KS * (LN0 - LN1) = 26 \quad (\text{小数点以下切り捨て})$$

であり、LN0 > LN1であるから、

$$LN0_{new} = LN0 + KS * (LN0 - LN1) = 226$$

$$LN1_{new} = LN1 + KS * (LN1 - LN0) = 14$$

となる。LN0_{new}とLN1_{new}をパネルに表示すると、その干渉から変化量は、

$$\text{干渉による変化量} = KP * (LN0_{new} - LN1_{new}) = 26$$

$$LN0_{new} > LN1_{new} \text{ であるため、} LN0_{new}$$

は26だけ輝度が低下し、逆にLN1newは26だけ輝度が上昇する。よって、表示される輝度は、映像レベルに置き換えると、

LN0new=200

LN1new=40

となる。このように、干渉による輝度変化分が補正される。

【0102】以上のように、本発明によるプラズマディスプレイ表示装置の干渉検出補正回路は、同一プラズマ放電チャンネル内に形成される走査線の互いの干渉に起因する妨害を、垂直方向に隣接する映像データの振幅から検出して、映像データを補正する。これらの演算には、1走査期間の映像データを蓄積する手段としてラインメモリを用いている。また垂直方向の相関の検出は、LN0に対してLN1、LN1に対してLN0など、同一プラズマ放電チャンネル内の走査線で完結的に行っている。

【0103】（実施の形態2）図6は、本発明の干渉検出補正回路209の内部回路である検出回路406の詳細なブロック図である。図6に示すように、検出回路406は、入力端子群601、602、603、604、605、スイッチ606、完結制御回路607、減算器608、ゲイン制御回路609、及び出力端子群610を備えている。

【0104】スイッチ606の端子である606aには、入力端子群601から入力される入力信号aが入力される。端子606bには、入力端子群603から入力される2ライン遅延信号fが入力される。スイッチ606は、この2つの入力を、完結制御回路607から入力されるチャンネル完結切り替え信号hによって、1走査期間単位で切り替える。完結制御回路607には、入力端子群604から入力される垂直タイミング信号cと、入力端子群605から入力される垂直表示位相信号dが入力され、検出回路での走査線単位の処理が同一バリアリブ内で完結的に行われるようチャンネル完結切り替え信号hを発生する。スイッチ606で切り替えられた信号と、入力端子群602から入力される1ライン遅延信号eが減算器608に入力され、減算処理が行われる。減算器608が減算処理の結果として出力する差分信号iが、垂直方向に隣接する映像データの振幅から求めた、同一プラズマ放電チャンネル内の走査線の互いの相関成分となる。差分信号iは、ゲイン制御回路609に入力される。ゲイン制御回路609では、差分信号iに対して適切なゲイン量の演算を行い、補正信号gとして出力端子610から出力する。

【0105】図7は干渉検出補正回路209の内部回路である補正回路407の詳細なブロック図である。図7に示すように、補正回路407は入力端子群701、7

02、加算器703、及びオーバー／アンダーフロー回路704を備えている。

【0106】加算器703は、入力端子群701から入力される1ライン遅延信号eと、入力端子群702から入力される干渉補正信号gとを入力とし、加算処理を行う。オーバー／アンダーフロー回路704は、加算器703が出力する加算処理の結果に対して、オーバー／アンダーフローの処理を行い、補正済出力信号bとして出力端子群705から出力する。

【0107】図8は図6におけるゲイン制御回路609の詳細なブロック図である。図8に示すように、ゲイン制御回路609は、入力端子群801、係数発生器802、乗算器803、及び出力端子群804を備えている。

【0108】乗算器803は、係数発生器802の出力である干渉補正ゲイン係数jと、入力端子群801から入力される差分信号iとを入力とし、乗算処理を行い、干渉補正信号gとして出力端子群804から出力する。ここで、干渉補正ゲイン係数jとは、干渉による変化分と、本発明の信号処理による補正分が一致するよう、差分信号iに対して行う乗算の係数である。

【0109】図9は図6の完結制御回路607の詳細なブロック図である。図9に示すように、完結制御回路607は、入力端子群901、902、パルス発生回路903、even／odd判定回路904、エクスクルーシブORゲート905、及び出力端子群906を備えている。

【0110】パルス発生回路903は、入力端子群901から入力される垂直タイミング信号cをトリガとして、1走査線期間毎にLow／Highを繰り返すパルス信号を発生する。even／odd判定回路904は、入力端子群902から入力される垂直表示位相信号dより、表示位相の偶数／奇数を判断する。even／odd判定回路904は、例えば垂直表示位相信号dのLSB（最下位ビット）を参照して、これが0なら偶数、1なら奇数などの判断を行う。パルス発生回路903の出力は、垂直同期タイミングと映像データの位相関係が変化した場合、同一チャンネル内での処理の位相がずれて、バリアリブを挟んだ走査線データ同士で演算してしまう場合が発生する。この問題に対処するため、パルス発生回路903の出力とeven／odd判定回路スイッチ304の出力で互いにエクスクルーシブORをとり、完結処置が常に同一プラズマ放電チャンネル内の映像データで行われるよう管理している。

【0111】

【表2】

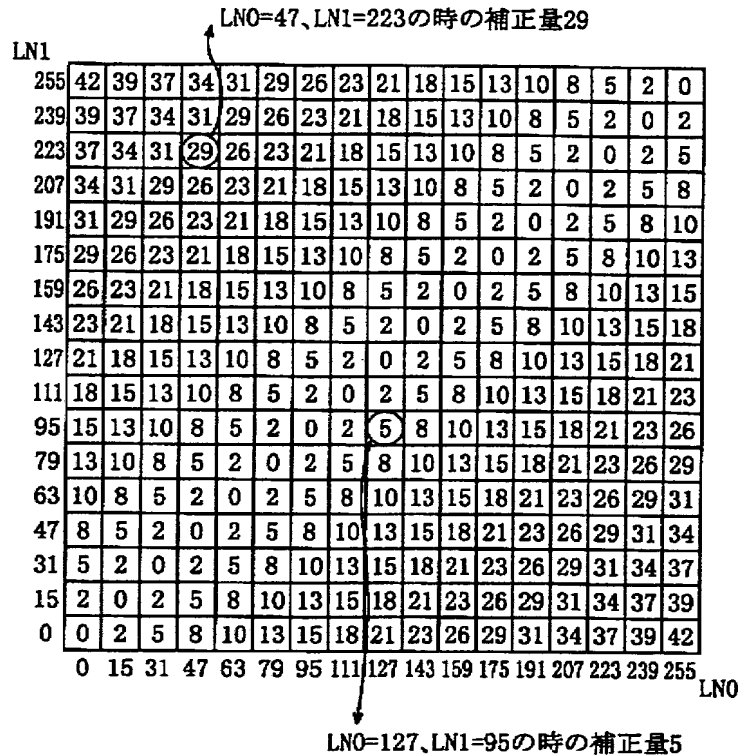


表2は実施の形態2におけるゲイン制御回路の補正特性を示す表である。表2は、干渉による輝度変化分が、LN0とLN1の差分に対して1/8で発生する場合、つまり、式8から補正係数 $K_S=1/6$ と求めた時の特性を示している。ここで、映像データは8bitのビット幅を有し、黒が0、白が255のレベルに相当している。表2においては、横軸に図5におけるLN0を取り、縦軸にLN1を取り、各々16レベルごとに代表点を取って表記している。LN0、LN1の交点に示される数値が、実施の形態2における干渉補正信号dの値の絶対値である。

【0112】例えば、LN0=127、LN1=95であると仮定する。表2におけるこれらの値の交点より、補正値は5となる。この場合には、LN0>LN1であるので、LN0+干渉補正信号g、LN0-干渉補正信号gの演算を補正回路407において行う。補正出力信号bとして、LN0_{new}=132、LN1_{new}=90を求め、パネルに表示する。パネル表示時に式3で算出される干渉による変化が発生する。そのため、LN0には $132-(132-90)/8=126$ 、LN1には $90+(132-90)/8=95$ のレベルに相当する輝度の映像データが表示される。

【0113】LN0の元のデータは127であり、補正により表示パネルに表示されたデータはレベル126に相当する輝度であって、1のレベルのずれがある。しかし、このずれは256階調分の1の誤差であり、表示特

性として大きな妨害にはならない。このずれは、回路の演算精度に起因し、演算精度を上げるよう回路を設計することにより解消し得る。一方、LN1の元のデータは95であり、補正により表示パネルに表示されたデータはレベル95に相当する輝度が得られる。よって、LN1については補正が完了したことが分かる。

【0114】次に、例えばLN0=47、LN1=223であると仮定する。表2におけるこれらの値の交点より、補正値は29となる。この場合には、LN0<LN1であるので、LN0-干渉補正信号g、LN0+干渉補正信号gの演算を補正回路407において行う。補正出力信号bとして、LN0_{new}=18、LN1_{new}=252を求め、パネルに表示する。パネル表示時に式3で算出される干渉による変化が発生する。そのため、LN0には $18-(18-252)/8=47$ 、LN1には $252+(18-252)/8=222$ のレベルに相当する輝度の映像データが表示される。

【0115】LN0の元のデータは47であり、補正により表示パネルに表示されたデータはレベル47に相当する輝度が得られる。また、LN1の元のデータは223であり、補正により表示パネルに表示されたデータはレベル222に相当する輝度が得られる。このように、LN0、LN1についての補正が完了したことが分かる。

【0116】

【表3】

LN1

255	31	29	27	25	23	21	19	17	15	13	11	9	7	5	3	1	0
239	29	27	25	23	21	19	17	15	13	11	9	7	5	3	1	0	1
223	27	25	23	21	19	17	15	13	11	9	7	5	3	1	0	1	3
207	25	23	21	19	17	15	13	11	9	7	5	3	1	0	1	3	5
191	23	21	19	17	15	13	11	9	7	5	3	1	0	1	3	5	7
175	21	19	17	15	13	11	9	7	5	3	1	0	1	3	5	7	9
159	19	17	15	13	11	9	7	5	3	1	0	1	3	5	7	9	11
143	17	15	13	11	9	7	5	3	1	0	1	3	5	7	9	11	13
127	15	13	11	9	7	5	3	1	0	1	3	5	7	9	11	13	15
111	13	11	9	7	5	3	1	0	1	3	5	7	9	11	13	15	17
95	11	9	7	5	3	1	0	1	3	5	7	9	11	13	15	17	19
79	9	7	5	3	1	0	1	3	5	7	9	11	13	15	17	19	21
63	7	5	3	1	0	1	3	5	7	9	11	13	15	17	19	21	23
47	5	3	1	0	1	3	5	7	9	11	13	15	17	19	21	23	25
31	3	1	0	1	3	5	7	9	11	13	15	17	19	21	23	25	27
15	1	0	1	3	5	7	9	11	13	15	17	19	21	23	25	27	29
0	0	1	3	5	7	9	11	13	15	17	19	21	23	25	27	29	31

0 15 31 47 63 79 95 111 127 143 159 175 191 207 223 239 255 LNO

表3は、実施の形態2におけるゲイン制御回路の他の補正特性を示す表である。 $L N 0 = 200$ 、 $L N 1 = 40$ の映像データを干渉補正せずにパネルに表示した際、 $L N 0$ がレベル184に相当する輝度分しか得られず、 $L N 1$ がレベル56の輝度が測定された場合には、式3から、干渉による輝度変化は $L N 0$ と $L N 1$ の差分に対して $1/10$ で発生していることになる。このような測定結果が得られた場合には、式8から補正係数 $K S = 1/8$ となるので、表3に示す補正特性となる。

【０１１７】以上のように、実施の形態２のプラズマアドレス表示装置の干渉検出補正回路２０９は、同一プラズマ放電チャンネル内に存在し、かつ垂直方向に隣接する映像データの差分信号から、干渉による表示時の変化分を検出する。垂直方向に隣接する映像データを得るためにラインメモリを有している。差分信号の検出は、スイッチ６０６により、同一プラズマ放電チャンネル内で完結的に行う。完結制御は完結制御回路６０７により行い、表示画面の垂直スクロールなどの際、完結の位相が乱れるのを防ぐ。差分信号に対してゲイン制御回路６０９により最適なゲイン処理を行う。ゲイン制御回路６０９により求めた補正量を補正回路４０７により加算して補正する。

【０１１８】（実施の形態３）図１０は、本発明の実施の形態３のゲイン制御回路６０９の詳細なブロック図である。図１０は、図８に示す実施の形態２のゲイン制御回路６０９の別の構成を示している。図１０において、図８と同一のブロックには同一符号を付す。図１０において、ゲイン制御回路６０９は、入力端子群８０１と、メモリ１００１と、出力端子群８０４とを備えている。図１０は、実施の形態２において、係数発生器８０２、乗算器８０３で行っていた処理をメモリ１００１に置換し、演算特性をあらかじめメモリ１００１にロードした

ものである。

【0119】メモリ1001は、補正の乗算入力端子群801から入力される差分信号*i*を入力とし、乗算処理を、メモリのルックアップテーブル法により一括で行い、干渉補正信号*g*として出力端子群804から出力する。ここで、メモリのルックアップテーブル法とは、想定される差分信号*i*に対して係数を乗算した結果を、想定される差分信号*i*をアドレスとしてメモリ1001に予めロードしておき、実際に入力された差分信号*i*についてメモリ1001から乗算結果を取り出すという方法である。

【０１２０】以上のように、実施の形態３の構成においては、差分信号ｉに対するゲイン制御処理において、演算特性をあらかじめメモリにロードしておいて、メモリのルックアップテーブル法により一括で行う。実施の形態３においては、安価で高速な構成により、実施の形態２と同等の複雑な演算を行う機能を実現し、演算精度も向上させている。

【０１２１】（実施の形態４）図１１は、本発明の実施の形態４の干渉検出補正回路２０９のブロック図である。図１１において、図４と共通のブロックには同一の符号を付す。図１１に示すように、実施の形態４において、干渉検出補正回路２０９は、入力端子群４０１、４０２、４０３、ラインメモリ４０４、４０５、検出回路１１０１、垂直エッジ検出回路１１０２、補正回路１１０３、及び出力端子群４０８を備えている。図１１に示す構成は、図４の構成に垂直エッジ検出回路１１０２が追加されたことにより、垂直高域補償機能が追加されていることを特徴とする。また、図１１の構成においては、検出回路１１０１及び補正回路１１０３は、図４の検出回路４０６及び補正回路４０７と比較して異なる内部回路を有している。

【0122】図11において、検出回路1101は、入力された信号から干渉補正信号 g を求めて補正回路1103に対して出力し、差分信号 i を求めて垂直エッジ検出回路1102に対して出力する。垂直エッジ検出回路1102は、入力信号 a と、1ライン遅延信号 e と、2ライン遅延信号 f と、差分信号 i とを入力とし、垂直高域信号 k を出力する。補正回路1103は、1ライン遅延信号 e と、干渉補正信号 g と、垂直高域信号 k とを入力とし、干渉補正と垂直高域補正とを行って補正済出力信号 b を出力する。

【0123】図12は、検出回路1101の詳細なブロック図である。図12において、図6と共通のブロックには同一の符号を付す。図12の構成においては、図6の構成と比較して、減算器608で求めた差分信号 i を出力端子群1201に出力する点異なる。出力端子群1201に出力された差分信号 i は、図11の垂直エッジ検出回路1102に入力される。

【0124】図13は、図11の垂直エッジ検出回路1102の詳細なブロック図である。図13に示すように、垂直エッジ検出回路1102は、入力端子群1301、1302、1303、1304、乗算器1305、1306、1307、加算器1308、干渉補正量判断回路1309、ゲイン制御回路1310、及び出力端子群1311を備えている。

【0125】垂直エッジ検出回路1102は、入力信号 a と、1ライン遅延信号 e と、2ライン遅延信号 f とを入力とし、これらの信号により演算を行う。乗算器1305、1307においては各々入力信号に対して $-1/4$ の演算を行い、乗算器1306においては入力信号に対して $1/2$ の乗算を行う。これらの演算は乗算器を使用してもよいし、ビットシフトにより実現してもよい。これらの演算結果を加算器1308により加算する。すなわち、下記の式9の演算を行う。

【0126】垂直高域成分 $=1/2 * \text{信号} e - 1/4 * \text{信号} a - 1/4 * \text{信号} f$ (式9) 式9は、デジタルフィルタとして一般的な演算である。この成分に対し、ゲイン制御回路1310においてゲイン設定を行う。ゲイン設定においては、例えば、 $1/2$ の乗算を行い、垂直高域信号 k を得る。この演算を式10として示す。

【0127】垂直高域信号 $k = 1/2 * \text{垂直高域成分}$ (式10) ゲイン制御回路1310でのゲイン量は、上記では $1/2$ としたが、これは例えば $1/4$ であってもよい。ゲイン量は、プラズマアドレス表示装置の観察者の好みにより、例えば0～1の間で外部から変更できる構成にしてもよい。

【0128】図14は、図11の補正回路1103の詳細なブロック図である。図14において、補正回路1103は、入力端子群701、1401、702、加算器1402、703、オーバー／アンダーフロー回路1403、704、及び出力端子群705を備えている。図

14において、図7と共通のブロックには同一の符号を付す。

【0129】図14の補正回路の構成が図7の補正回路の構成と異なる点は、加算器1402において垂直高域信号 k を補償対象である1ライン遅延信号 e に加算演算し、オーバー／アンダーフロー回路1403においてオーバー／アンダーフローの処理を行う点である。その後、図7と同様に、加算器703、オーバー／アンダーフロー回路704において干渉補正処理を行い、補正済出力信号 b として出力端子群705に出力する。

【0130】本実施形態において重要な点は、干渉補正で行う補正と、ゲイン制御回路1310におけるゲイン量との関係である。垂直高域成分を補償すると、干渉の度合がより大きな方向に行く。ダイナミックレンジの関係で、干渉の度合がより大きな方向に行くのは避けた方がよい。干渉補正の度合が大きい時、つまり差分信号 i の絶対値の値が大きい場合は、ゲイン制御回路における垂直高域補償のゲイン量は通常より抑える方が望ましい。よって、入力端子群1304から、検出回路1101により検出した差分信号 i を入力し、干渉補正量判断回路1309に渡す。干渉補正量判断回路1309においては、差分信号 i の大きさからゲイン制御回路1310を制御する。

【0131】図15は、差分信号 i の絶対値とゲイン制御回路1310の特性との関係を示すグラフを示す。例えば、図15(a)に示すように、 i の絶対値が $1/2 * B$ 以下の場合ゲイン量を A にし、 $1/2 * B$ 以上の場合ゲイン量を $3/4 * A$ にする。このような処理により、干渉補正と垂直高域補償の2重の処理により発生する画像の破綻を防ぐ。また、差分信号 i の絶対値とゲイン制御回路1310の特性は、図15(b)に示すような特性であってもよい。

【0132】実施の形態4においては、干渉検出補正回路で使用するラインメモリを垂直高域利得補償回路と共用しており、わずかな回路規模の増加で垂直高域利得補償回路を実現している。干渉の度合を示す差分信号の大きさにより垂直高域補償のゲイン設定を制御しており、干渉補正とあわせて最適な補償特性を実現している。

【0133】(実施の形態5) 図16は本発明の実施の形態5の検出回路406のブロック図である。図16において、図6と共通のブロックには同一の符号を付す。図16の構成は、1ライン遅延信号 e がゲイン制御回路1601に入力されていることが図6の構成と異なる。ゲイン制御回路1601は、信号 e と差分信号 i とを入力とし、干渉補正のゲイン設定を行う。

【0134】図17は、図16のゲイン制御回路1601の詳細なブロック図である。図17において、図8と共通のブロックには同一の符号を付す。図17に示すように、ゲイン制御回路1601は、入力端子群801、係数発生器802、乗算器803、及び出力端子群80

4の他に、入力端子群1701、ノイズ検出器1702、コアリング量発生器1703、加減算器1704、及びオーバー／アンダーフロー回路1705を備えている。

【0135】ノイズ検出器1702は、入力端子群1701から入力される1ライン遅延信号eから、映像信号のノイズ量mを検出する。ノイズ検出器1702は、例えば、映像データの水平ブランク部の固定レベル信号部の変動を積分することにより、映像信号のノイズ量mを検出する。このノイズ量mがコアリング量発生器1703に入力され、ノイズ量mに適したコアリング量nが得られる。ここで、ノイズ量とは、映像のSN比（Signal/Noise比）の目安であり、コアリング量とは、干渉補正信号gの微小成分をノイズとみなしてキャンセルする量である。

【0136】図18にノイズ量mとコアリング量nの関係を示す。図18を参照して、図17におけるコアリング量発生器1703の特性を説明する。ノイズ検出器1702は、映像データのノイズが多く、SN比が悪い場合には、コアリング量nを大きくする。また、ノイズ検出器1702は、SN比が良い場合には、コアリング量nを小さくする。図18(a)においては、ノイズ検出器1702からのノイズ量mに基づいて、 $m=0$ であれば $n=0$ 、 $m=1$ であれば $n=1$ 、 $m=2$ であれば $n=2$ 、 $m=3$ 以上であれば $n=3$ という特性で、コアリング量発生器1703においてコアリング量nを得ている。また、コアリング量発生器1703の特性は、図18(b)に示す特性であってもよい。コアリング量発生器1703において得たコアリング量nと、乗算器803の出力とを加減算器1704に入力し、コアリング処理を行う。オーバー／アンダーフロー回路1705は、加減算器1704の出力にオーバーフロー／アンダーフローの処理を行い、干渉補正信号gとして出力端子群804から出力する。

【0137】図19は、図17における加減算器1704及びオーバー／アンダーフロー回路1705の特性を説明するためのグラフを示す。図19(a)、(b)において、点線は乗算器803の出力する値を示し、実線は干渉補正信号gとして出力端子群804に出力される値を示す。図19(a)に示すように、乗算器803の出力が正数である場合、コアリング量nを減算する。減算結果が負になる場合、オーバー／アンダーフロー回路1705によりゼロにクリップする。また、乗算器803の出力が負数である場合には、コアリング量nを加算する。加算結果が正になる場合、オーバー／アンダーフロー回路にてゼロにクリップする。このコアリング処理により乗算器803の出力の微小成分がゼロになり、補正後の映像信号がノイズによって受ける影響が除かれる。なお、図17の加減算器1704及びオーバー／アンダーフロー回路1705における処理に代えて、図1

9(b)に示すようにコアリング量n以下の成分を強制的にゼロにしても、同様の効果を得ることができる。

【0138】実施の形態5においては、検出回路406は、検出成分に対してノイズを低減するためのノイズ低減回路を有しており、映像データのSN比が悪い場合であっても表示映像に破綻をきたすことはない。また、このノイズ低減回路は、前記映像データのノイズレベルによって低減量を制御しており、ノイズ低減精度を向上させている。

【0139】（実施の形態6）図20は、本発明の実施の形態6のゲイン制御回路を示すブロック図である。図20は、実施の形態5の、ゲイン制御回路1601の別の構成を示している。図20において、図17と同一のブロックには同一の符号を付す。図20のゲイン制御回路は、入力端子群801、1701、ノイズ検出器1702、メモリ2001、及び出力端子群804を備えている。図20の構成は、図17の構成について、係数発生器802、乗算器803、コアリング量発生器1703、加減算器1704、及びオーバー／アンダーフロー回路1705をメモリ2001に置換し、演算特性をあらかじめメモリ2001にロードしたものである。

【0140】メモリ2001は、補正の乗算入力端子群801から入力される差分信号iを入力とし、この差分信号iから乗算処理と、コアリング処理と、オーバー／アンダーフロー処理とを、上述したメモリのルックアップテーブル法により一括で行い、干渉補正信号gとして出力端子群804から出力する。

【0141】以上のように、実施の形態6の構成においては、差分信号iに対するゲイン制御処理やコアリング処理、オーバー／アンダーフロー処理において、演算特性をあらかじめメモリにロードしておいて、メモリのルックアップテーブル法により一括で行う。実施の形態6においては、複雑な演算を安価かつ高速な構成により実施の形態5と同等に行う機能を実現しており、また、演算精度も向上させている。

【0142】（実施の形態7）図21は、本発明の実施の形態7の電気光学特性を説明するためのグラフを示す。図21のグラフは、ノーマリブラックモードの液晶を前提にしている。実施の形態2～6においては、映像データをプラズマアドレス表示装置に表示する際の特性をリニアに仮定していた。この場合も十分な干渉補正特性を有するが、例えばプラズマアドレス表示装置の表示セルが液晶の場合、データ電極に対する印加電圧に対して、液晶の持つ光学特性は図21に示すようになる。印加電圧V0が同じでも、レベルによって実際の補正值が異なっている。

【0143】実施の形態2、3、4におけるゲイン制御回路609、実施の形態5、6におけるゲイン制御回路1601にこの電気光学特性を加味したゲイン特性を持たせれば、より最適な補正特性が得られる。また、実施

形態 3、6 に示すようにメモリのルックアップテーブル法によりゲイン特性を得る場合、図 21 のような複雑な特性もコストアップなしに実現可能である。

【0144】

【発明の効果】本発明によると、走査単位（行選択要素単位）間に顕著に発生する映像データ間の干渉（表示状態における画素間の干渉）が抑制されたマトリクス表示装置が提供される。

【0145】本発明のマトリクス表示装置において、映像データ間の干渉の抑制は、本来表示すべき映像データに対して、干渉の程度および干渉が起こる画素（互いに干渉を及ぼしあう画素のエリア（画素の数と相対配置関係））を考慮した補正処理を行うことによってなされる。すなわち、マトリクス表示装置において映像データ間の干渉が起こる原因を取り除くのではなく、干渉の発生を見越して、干渉が生じた結果として得られる表示状態において映像データ間の干渉が観察されないように、映像データが補正される。映像データの補正は、行グループ（連続した複数の走査単位）毎に完結的に行われるので、比較的簡単な補正処理によって、映像データ間の干渉が効果的に抑制される。

【0146】本発明は、特に、同一プラズマ放電チャンネル内に複数の走査線を有数する高精細なプラズマアドレス表示装置に好適に適用される。

【0147】本発明によれば、プラズマアドレス表示装置において、同一プラズマ放電チャンネル内にある複数の走査線同士の相関を、互いの映像データの振幅の差から検出し、この相関をもとに同一プラズマ放電チャンネル内の走査線間に発生する干渉に起因する画質劣化を補正することにより、高精細で、かつ表示品位を改善した高品位な画質を実現することができる。

【0148】また、本発明によれば、プラズマアドレス表示装置が、検出処理の際に、同一プラズマ放電チャンネル内に割り当てられた走査線に対して完結的に演算を行って検出を行うことにより、走査線間に発生する干渉に対して最適な補正特性を得ることができる。

【0149】さらに、本発明によれば、垂直表示位相の変更によって走査線の完結処理が乱れないように工夫することにより、表示画像を上下にスクロールさせた際に、バリアリブをはさんだ走査線同士で演算を行うという、完結処理の位相のずれによる表示映像の乱れを防止することができる。

【0150】さらに、本発明によれば、干渉検出補正処理に含まれるゲイン制御処理において、演算特性をあらかじめメモリにロードしておいて、演算をメモリのルックアップテーブル法で一括で行うことにより、乗算などの複雑な演算を安価な構成により、高い演算精度で高速に処理することができる。

【0151】さらに、本発明によれば、干渉検出補正処理において、垂直高域周波数利得補償の機能をあわせ持

ち、干渉を補正し、かつ周波数特性も補償することにより、表示品位を改善し、文字などの映像のエッジがにじんだりぼけたりすることがないようにすることができる。

【0152】さらに、本発明によれば、干渉検出補正処理で使用するラインメモリを垂直高域周波数利得補償処理と共有することにより、本発明者らによる高精細プラズマ表示装置に対して、わずかな回路規模の増加、わずかな消費電力の増加、わずかなコストアップで垂直高域周波数補償の機能を実現することができる。

【0153】さらに、本発明によれば、プラズマアドレス表示装置が、干渉検出補正処理での補正量と、垂直高域周波数補償のゲインが連動する構成を有することにより、垂直高域周波数補償でのゲインのかけすぎによる破綻を防止することができる。

【0154】さらに、本発明によれば、プラズマアドレス表示装置が、干渉検出補正処理での補正量の検出において、ノイズ成分を低減する回路を有することにより、映像信号に重畳するノイズ成分に起因する妨害が表示されることがないようにすることができる。

【0155】さらに、本発明によれば、プラズマアドレス表示装置が、ノイズ成分を低減する回路での低減量について、入力映像信号のノイズ量を検出して、そのノイズ量によって適応的に低減量を切り替える構成を有することにより、ノイズ低減処理の精度を向上させることができる。

【0156】さらに、本発明によれば、干渉検出補正処理におけるゲイン制御処理において、演算特性やノイズ成分低減特性をあらかじめメモリにロードしておいて、演算をメモリのルックアップテーブル法により一括で行うことにより、乗算、加減算、オーバー／アンダーフローなどの複雑な演算を安価な構成により、高い演算精度で高速に処理することができる。

【0157】さらに、本発明によれば、干渉検出補正処理において、表示セルの電気光学特性を考慮して補正値を決定することにより、最適な補正を行うことができる。

【0158】さらに、本発明によれば、表示セルの電気光学特性をあらかじめメモリにロードしておいて、演算をメモリのルックアップテーブル法により一括で行うことにより、乗算、加減算、オーバー／アンダーフローなどの複雑な演算を安価な構成により、高い演算精度で高速に処理することができる。

【図面の簡単な説明】

【図 1 A】本発明による実施形態のマトリクス表示装置 100 を模式的に示す図である。

【図 1 B】実施形態による補正処理の第 1 の例を説明するための図であり、マトリクス表示装置 100 の 4 行 2 列分の画素 $P_{i \times (M, N)}$ を模式的に示す図である。

【図 1 C】実施形態による補正処理の第 2 の例を説明す

るための図であり、マトリクス表示装置１００の６行２列分の画素 $P_{ix}(M, N)$ を模式的に示す図である。

【図１Ｄ】実施形態による補正処理の第３の例を説明するための図であり、マトリクス表示装置１００の４行４列分の画素 $P_{ix}(M, N)$ を模式的に示す図である。

【図１Ｅ】実施形態による補正処理（ $P_{ix}(m, n+1)$ を対象）の第３の例を説明するための図であり、マトリクス表示装置１００の４行４列分の画素 $P_{ix}(M, N)$ を模式的に示す図である。

【図１Ｆ】実施形態による補正処理（ $P_{ix}(m+1, n+1)$ を対象）の第３の例を説明するための図であり、マトリクス表示装置１００の４行４列分の画素 $P_{ix}(M, N)$ を模式的に示す図である。

【図１Ｇ】実施形態による補正処理（ $P_{ix}(m, n+2)$ を対象）の第３の例を説明するための図であり、マトリクス表示装置１００の４行４列分の画素 $P_{ix}(M, N)$ を模式的に示す図である。

【図１Ｈ】実施形態による補正処理（ $P_{ix}(m+2, n+1)$ を対象）の第３の例を説明するための図であり、マトリクス表示装置１００の４行４列分の画素 $P_{ix}(M, N)$ を模式的に示す図である。

【図２Ａ】本発明のプラズマアドレス表示装置の全体の構成を示す図である。

【図２Ｂ】本発明のプラズマアドレス表示装置が備えているパネル２０１の構造を示す図である。

【図３】本発明のプラズマアドレス表示装置における映像データの書き込み動作を模式的に示す図である。

【図４】本発明のプラズマアドレス表示装置が備えている干渉検出補正回路２０９のブロック図である。

【図５】本発明のプラズマアドレス表示装置が備えている干渉検出補正回路の動作を説明するための模式図である。

【図６】本発明の実施の形態２の干渉検出補正回路２０９の内部回路である検出回路４０６の詳細なブロック図である。

【図７】本発明の実施の形態２の干渉検出補正回路２０９の内部回路である補正回路４０７の詳細なブロック図である。

【図８】本発明の実施の形態２のゲイン制御回路６０９の詳細なブロック図である。

【図９】本発明の実施の形態２の完結制御回路６０７の詳細なブロック図である。

【図１０】本発明の実施の形態３のゲイン制御回路６０９の詳細なブロック図である。

【図１１】本発明の実施の形態４の干渉検出補正回路２０９のブロック図である。

【図１２】本発明の実施の形態４の検出回路１１０１の詳細なブロック図である。

【図１３】本発明の実施の形態４の垂直エッジ検出回路１１０２の詳細なブロック図である。

【図１４】本発明の実施の形態４の補正回路１１０３の詳細なブロック図である。

【図１５】本発明の実施の形態４の差分信号 i の絶対値と垂直補償ゲインのグラフを示す図である。

【図１６】本発明の実施の形態の検出回路４０６のブロック図である。

【図１７】本発明の実施の形態５のゲイン制御回路１６０１の詳細なブロック図である。

【図１８】本発明の実施の形態５のノイズ量 m とコアリソング量 n の関係を示す図である。

【図１９】本発明の実施の形態５の加減算器１７０４及びオーバー／アンダーフロー回路１７０５の特性を説明するためのグラフを示す図である。

【図２０】本発明の実施の形態６のゲイン制御回路１６０１を示すブロック図である。

【図２１】本発明の実施の形態７の印加電圧と光透過率のグラフを示す図である。

【図２２】従来のプラズマアドレス表示装置が備えているパネルの構造図である。

【図２３】従来のプラズマアドレス表示装置の動作を説明する図である。

【図２４】本発明者らによる高精細プラズマアドレス表示装置が備えているパネルの構造図である。

【図２５】（ａ）は、従来のプラズマアドレス表示装置における映像データ書き込みの模式図であり、（ｂ）は、本発明者による高精細プラズマアドレス表示装置に対して従来の駆動方法を採用した場合の映像データの書き込み動作を示す図である。

【図２６】本発明者らによる高精細プラズマアドレス表示装置の全体を示す図である。

【図２７】図２６のプラズマアドレス表示装置が備えている垂直補償回路２１０の内部ブロック図である。

【図２８】図２７の垂直補償回路における垂直補償動作を説明する模式図である。

【図２９】本発明者らによる高精細プラズマアドレス表示装置を従来の駆動方法で動作させた場合の問題を説明する模式図である。

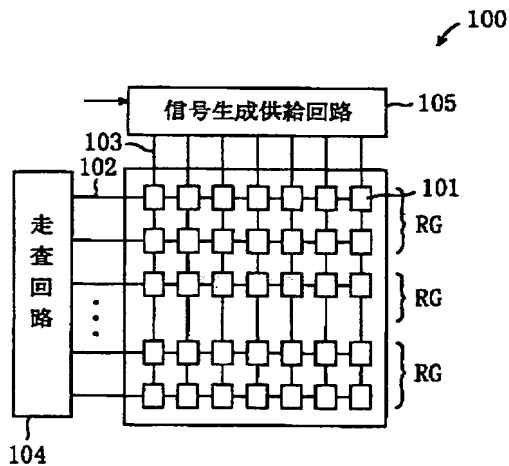
【符号の説明】

- １ 表示セル
- ２ プラズマセル
- ３ マイクロシート
- ４、９ ガラス基板
- ５ プラズマ放電チャネル
- ６ バリアリブ
- ７ アノード電極（Ａ）
- ８ カソード電極（Ｋ）
- １０ 液晶
- １１ データ電極
- １２ カラーフィルタ
- １３ 走査電極（Ｓ）

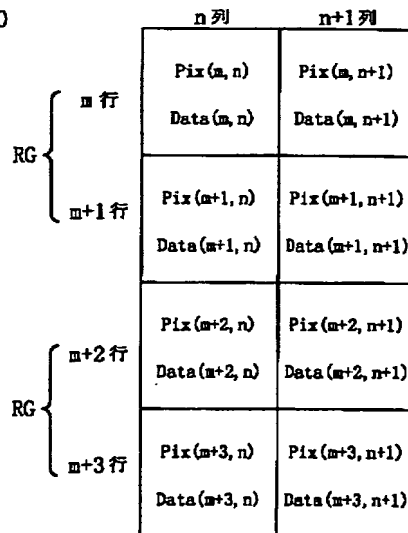
20 仮想電極
 21 スイッチ
 22 パルス印加回路
 31、206、401、402、403、601、602、603、604、605、701、702、801、901、902、1301、1302、1303、1304、1401、1701 入力端子群
 34、35、36、803、1305、1306、1307 乗算器
 37、38、40、703、1308、1402 加算器
 39 ゲイン回路
 41 オーバー／アンダーフロー回路
 42、408、610、705、804、906、1201、1311 出力端子群
 100 マトリクス表示装置
 101 画素
 102 行選択要素（走査単位）
 103 映像信号供給要素
 104 走査回路
 105 信号生成供給回路
 200 プラズマアドレス表示装置
 201 パネル
 202 信号回路
 203 垂直走査回路
 204 制御回路

205 画素
 207 同期分離回路
 208 システムマイコン
 209 干渉検出補正回路
 210 垂直補償回路
 32、33、404、405 ラインメモリ
 406 1101 検出回路
 407、1103 補正回路
 606 スイッチ
 606a スイッチ端子a
 606b スイッチ端子b
 607 完結制御回路
 608 減算器
 609、1310、1601 ゲイン制御回路
 704、1403、1705 オーバー／アンダーフロー回路
 802 係数発生器
 903 パルス発生回路
 904 even／odd判定回路
 905 エクスクルーシブORゲート
 1001、2001 メモリ
 1102 垂直エッジ検出回路
 1309 干渉補正量判断回路
 1702 ノイズ検出器
 1703 コアリング量発生器
 1704 加減算器

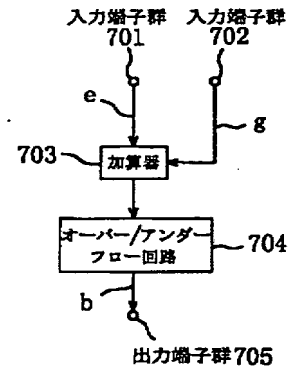
【図1A】



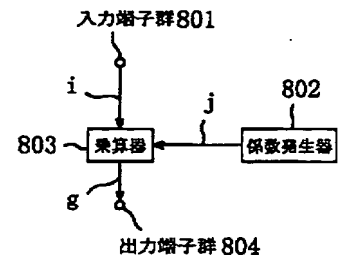
【図1B】



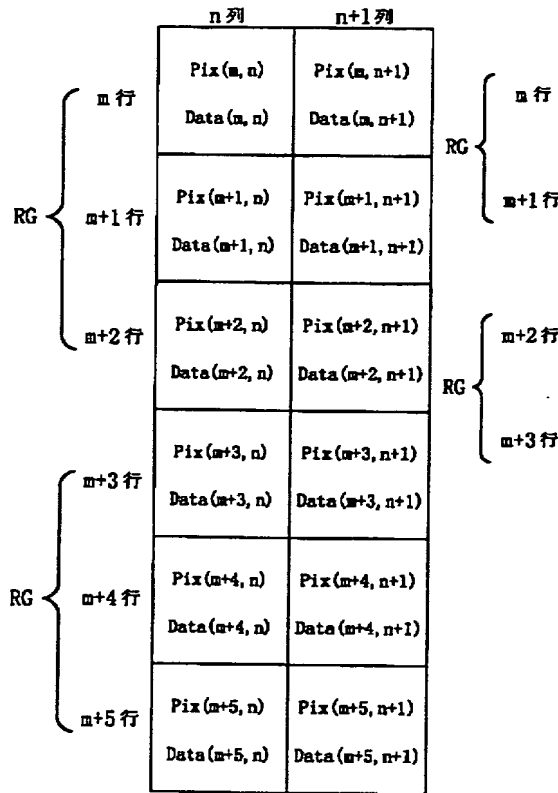
【図7】



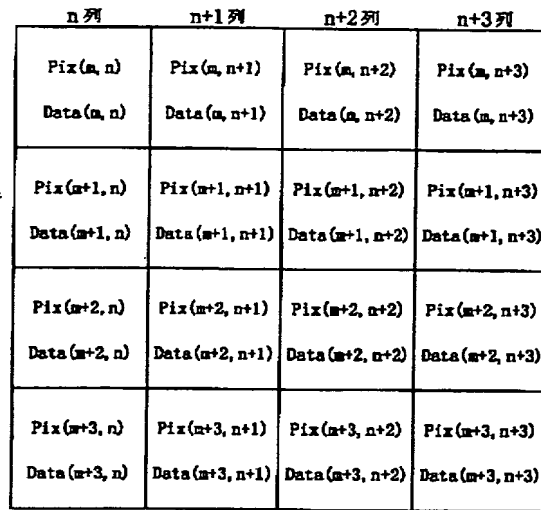
【図8】



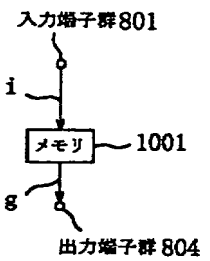
【図1C】



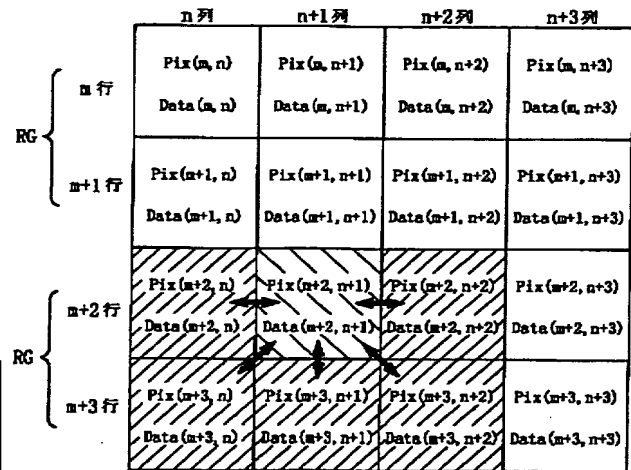
【図1D】



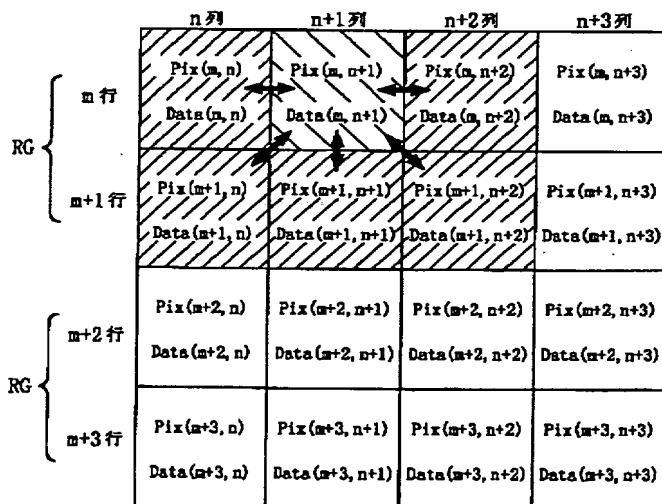
【図1O】



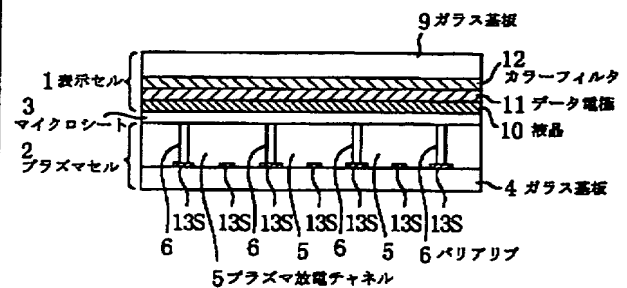
【図1H】



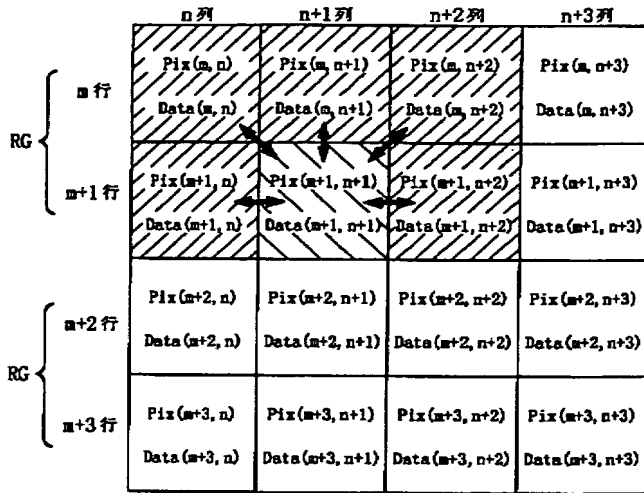
【図1E】



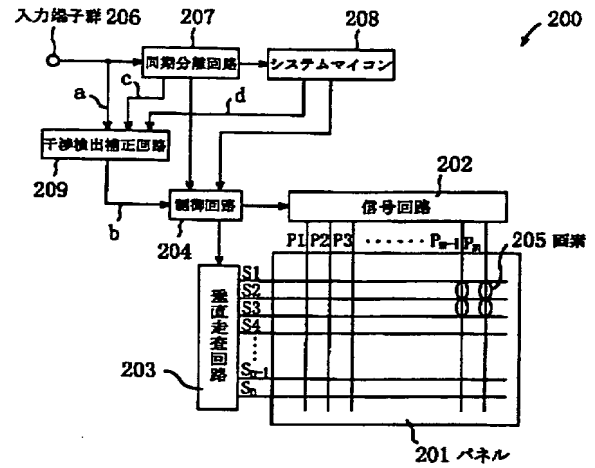
【図2B】



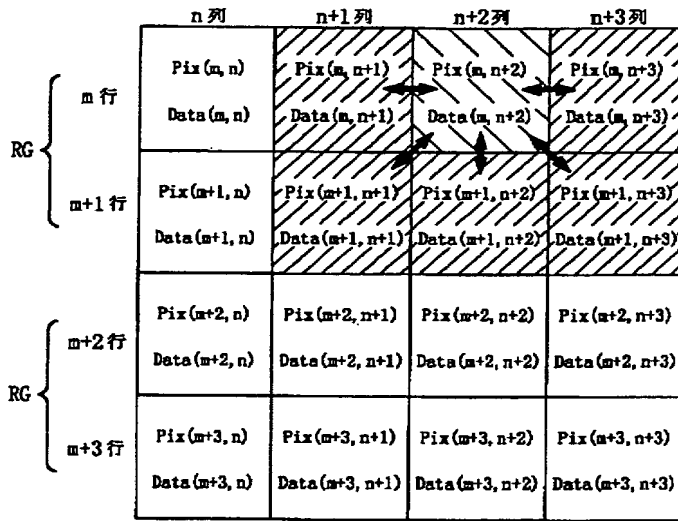
【図 1 F】



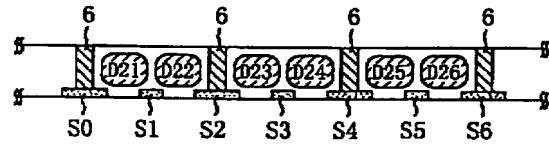
【図 2 A】



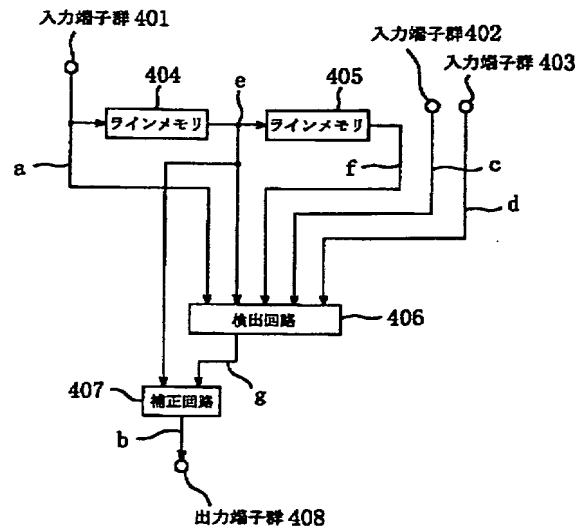
【図 1 G】



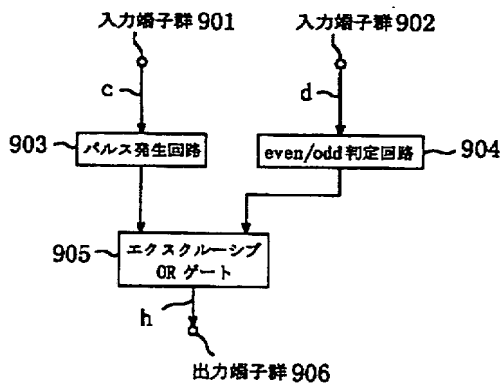
【図 3】



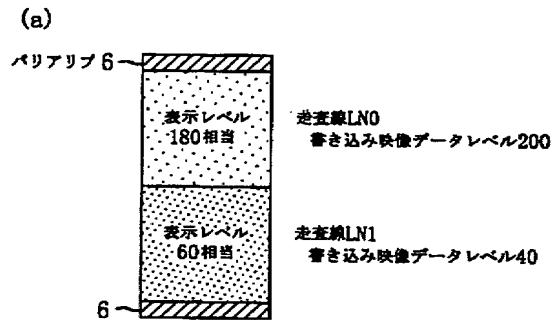
【図 4】



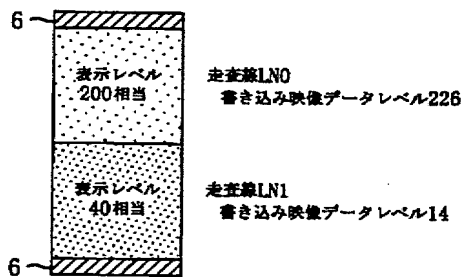
【図 9】



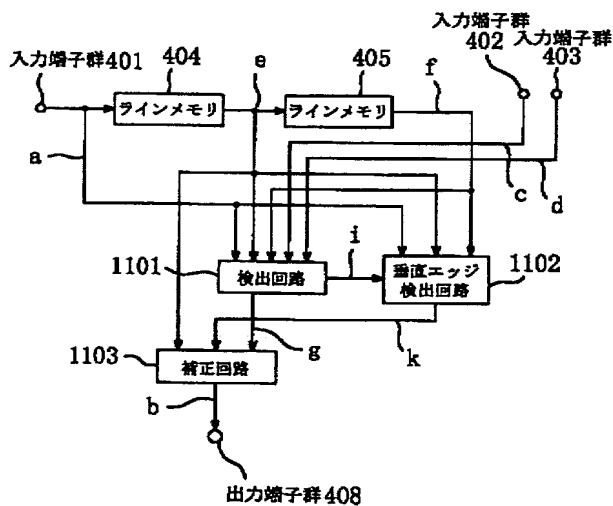
【図5】



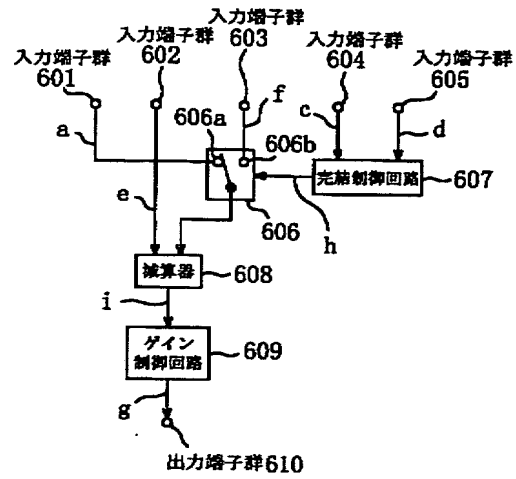
(b)



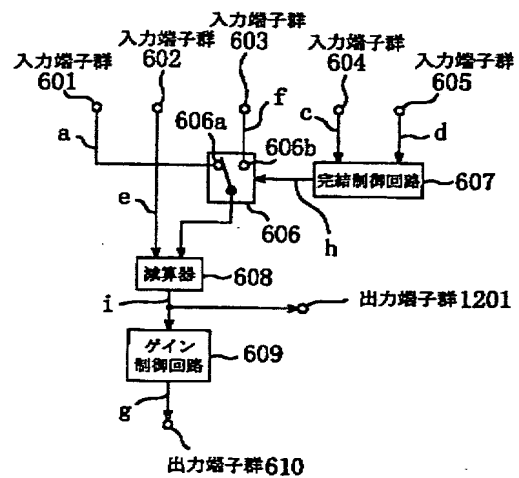
【図11】



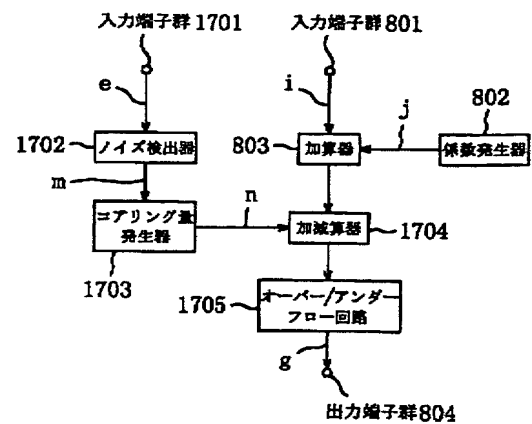
【図6】



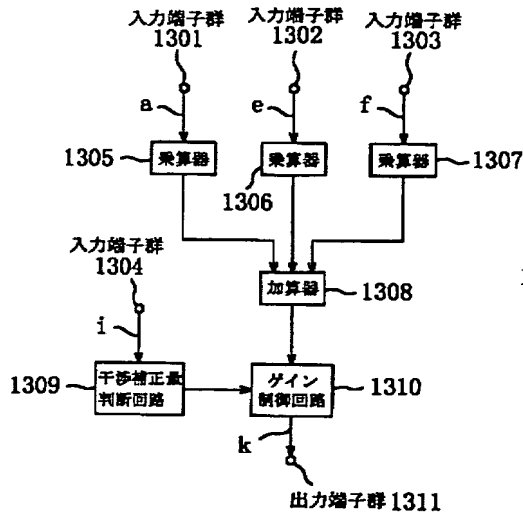
【図12】



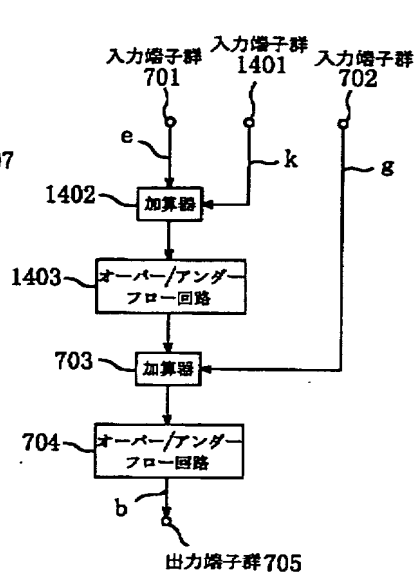
【図17】



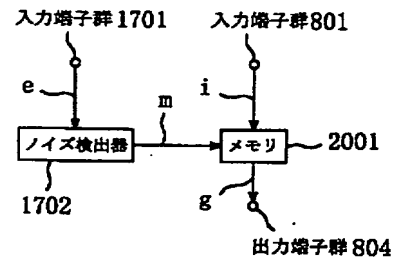
【図13】



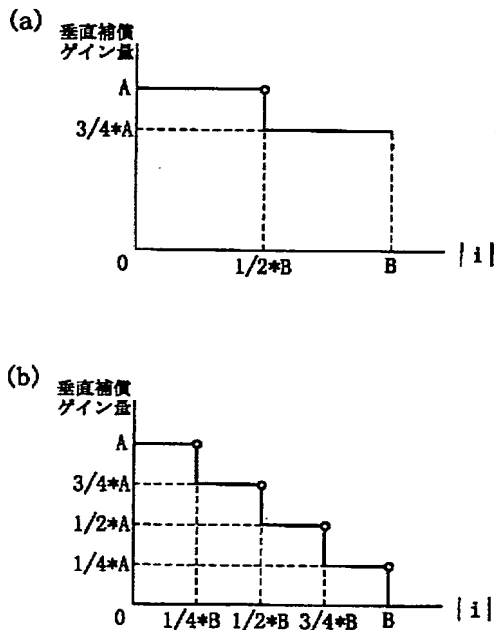
【図14】



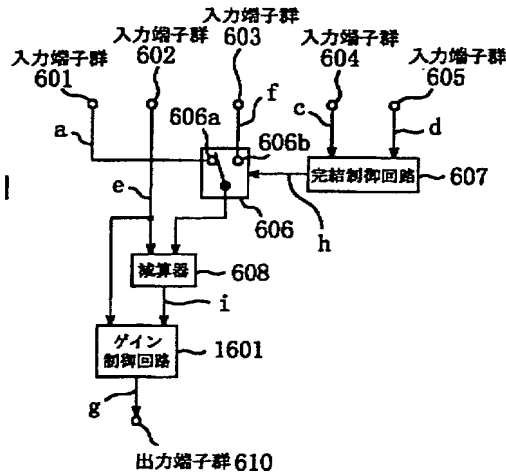
【図20】



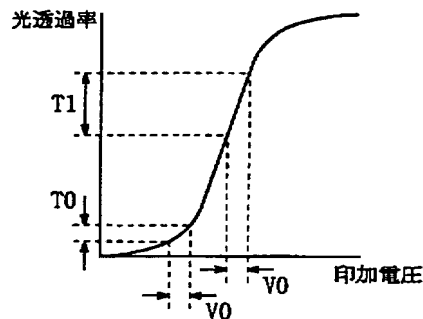
【図15】



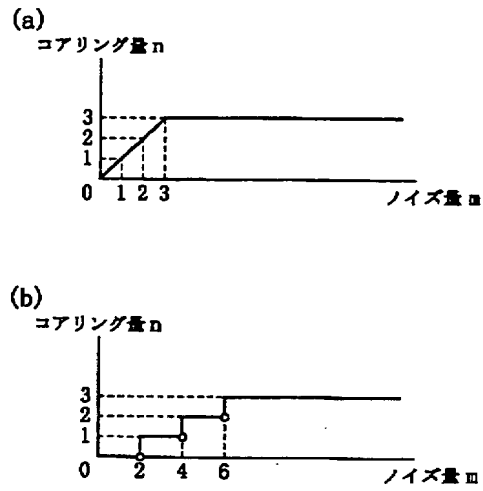
【図16】



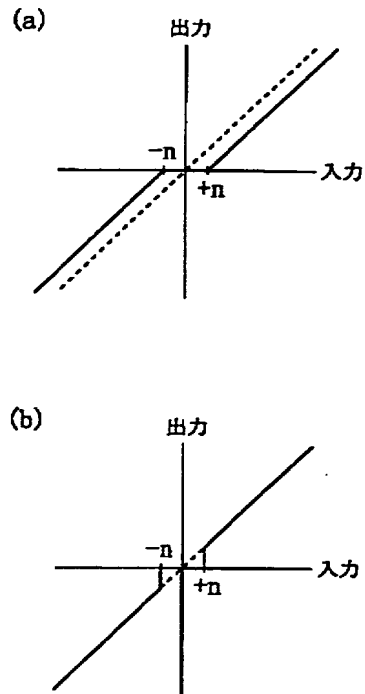
【図21】



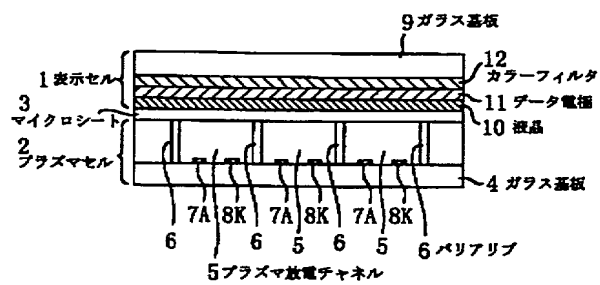
【図18】



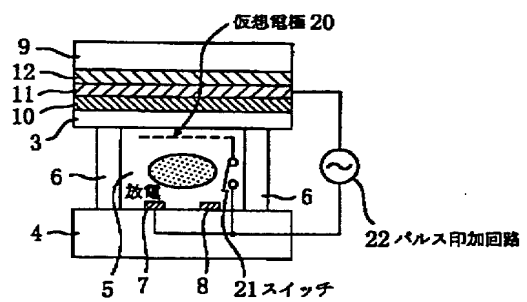
【図19】



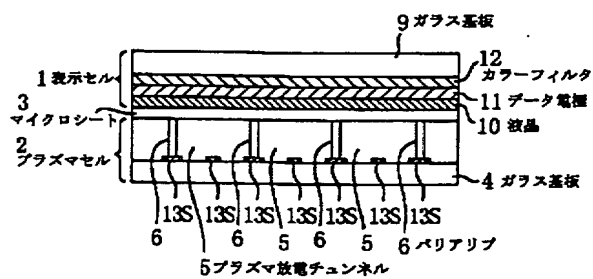
【図22】



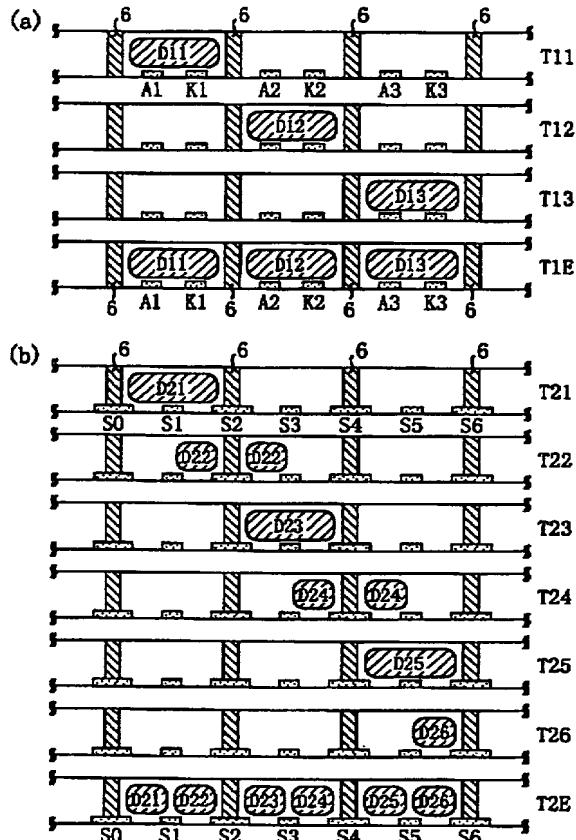
【図23】



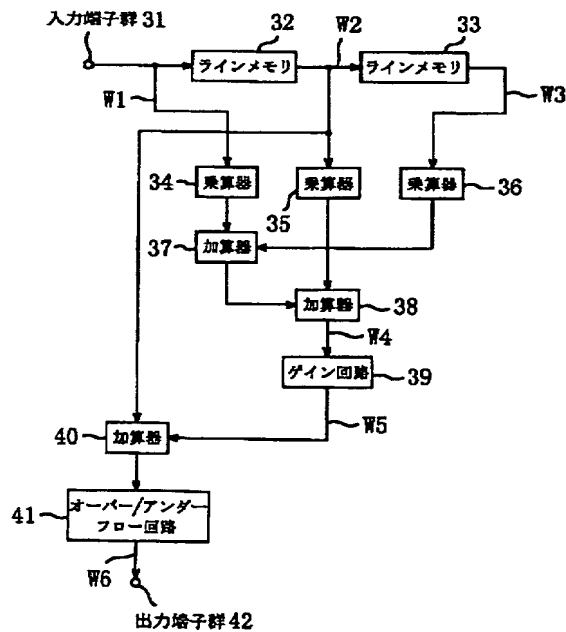
【図24】



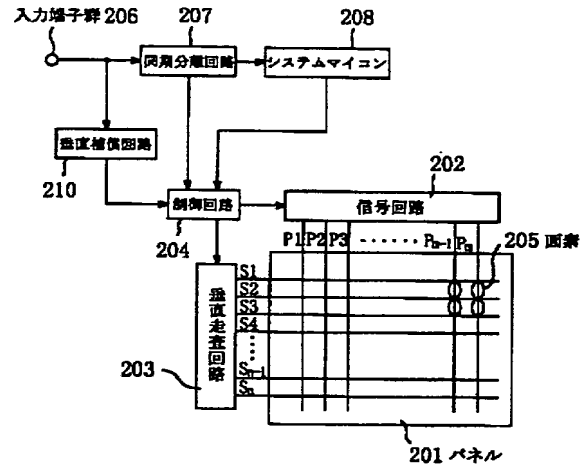
【図 25】



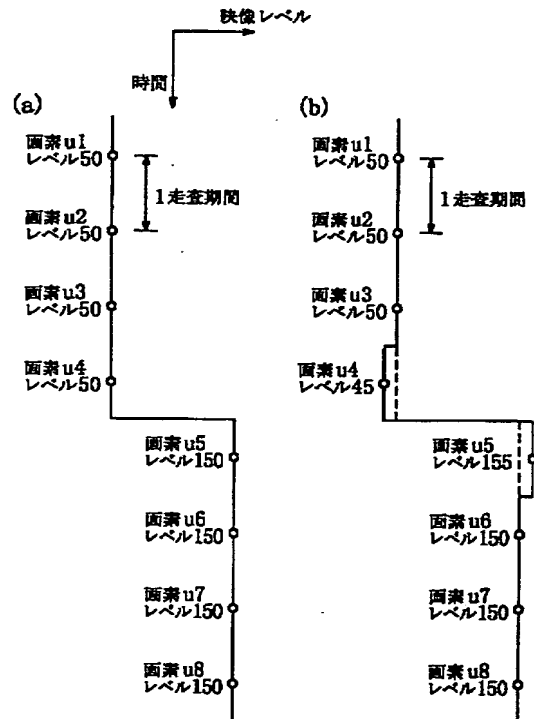
【図 27】



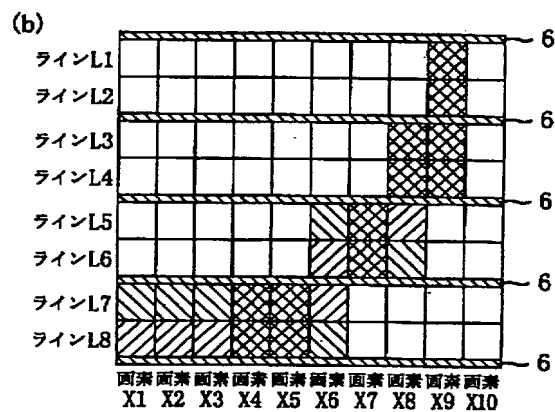
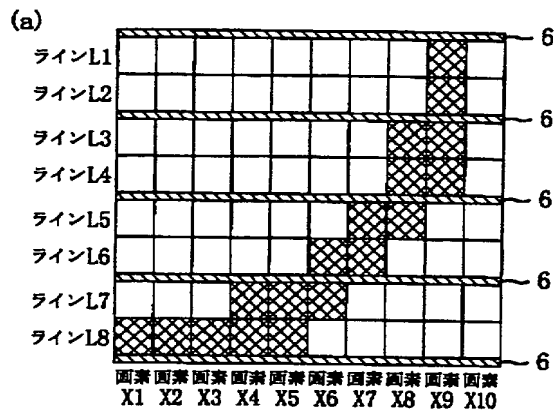
【図 26】



【図 28】



【図 29】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/36

識別記号

F I

G 0 9 G 3/36

ノート (参考)